

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Hideaki MATSUHASHI et al. :
Serial No.: [NEW] : Attn: Applications Branch
Filed: February 15, 2002 : Attorney Docket No.: OKI.306
For: METHOD FOR MANUFACTURING FIELD EFFECT TRANSISTOR



CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-273731 filed September 10, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

A handwritten signature in black ink, appearing to read "Adam C. Volentine".

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 15, 2002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c997 U.S. PTO
10/075588
02/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月10日

出 願 番 号

Application Number:

特願2001-273731

出 願 人

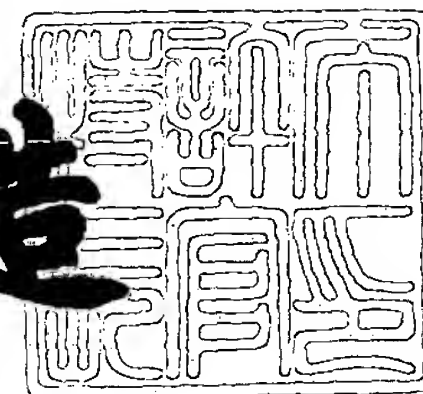
Applicant(s):

沖電気工業株式会社

2001年 9月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3089531

【書類名】 特許願

【整理番号】 KT000374

【提出日】 平成13年 9月10日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/78
H01L 21/76

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 松橋 秀明

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 梶田 陽子

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 古賀 祥泰

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 中村 稔之

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 金森 順

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957
【弁理士】
【氏名又は名称】 亀谷 美明
【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389
【弁理士】
【氏名又は名称】 金本 哲男
【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557
【弁理士】
【氏名又は名称】 萩原 康司
【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707549
【包括委任状番号】 9707550
【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって、素子分離のためのフィールド酸化膜を形成し、

次に、アクティブ窒化膜を前記シリコン層のエッジ部が露出される膜厚までウェットエッチングし、

次に、前記アクティブ窒化膜をマスクとして前記シリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインで垂直にイオン注入することを特徴とする電界効果トランジスタの製造方法。

【請求項 2】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって、素子分離のためのフィールド酸化膜を形成し、

次に、アクティブ窒化膜を前記シリコン層のエッジ部が露出される膜厚までウェットエッチングし、

次に、前記アクティブ窒化膜をマスクとして前記シリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインで角度をつけてイオン注入することを特徴とする電界効果トランジスタの製造方法。

【請求項 3】 前記チャネルストップの不純物を角度をつけてイオン注入する際に、そのイオン注入角度によって前記アクティブ窒化膜の膜厚を調整することを特徴とする請求項 2 に記載の電界効果トランジスタの製造方法。

【請求項 4】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって、素子分離のためのフィールド酸化膜を形成し、

次に、アクティブ窒化膜を前記シリコン層のエッジ部が露出される膜厚までウェットエッチングし、

次に、前記アクティブ窒化膜をマスクとして前記シリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインでイオン注入し、

次に、熱処理を行うことを特徴とする電界効果トランジスタの製造方法。

【請求項 5】 前記素子分離のためのフィールド酸化膜の形成の前に、
アクティブ窒化膜をパターニングし、

次に、窒化膜のサイドウォールを形成することを特徴とする請求項 1， 2， 3
， または 4 のいずれか 1 項に記載の電界効果トランジスタの製造方法。

【請求項 6】 前記アクティブ窒化膜のウェットエッチングの次に、
前記シリコン層のエッジ部が露出した部分の上に、酸化によりシリコン酸化膜
を形成することを特徴とする請求項 1， 2， 3， 4， または 5 のいずれか 1 項に
記載の電界効果トランジスタの製造方法。

【請求項 7】 前記チャネルストップの不純物のイオン注入の次に、
前記シリコン層のエッジ部が露出した部分の上に、酸化によりシリコン酸化膜
を形成することを特徴とする請求項 1， 2， 3， 4， または 5 のいずれか 1 項に
記載の電界効果トランジスタの製造方法。

【請求項 8】 前記チャネルストップの不純物のイオン注入の次に、
前記アクティブ窒化膜の側面にシリコン酸化膜でサイドウォールを形成するこ
とを特徴とする請求項 1， 2， 3， 4， 5， 6， または 7 のいずれか 1 項に記載
の電界効果トランジスタの製造方法。

【請求項 9】 前記チャネルストップの不純物のイオン注入の次に、
前記アクティブ窒化膜の側面にポリシリコン膜のサイドウォールを形成し、
次に、前記ポリシリコン膜のサイドウォールを酸化することを特徴とする請求
項 1， 2， 3， 4， 5， 6， または 7 のいずれか 1 項に記載の電界効果トランジ
スタの製造方法。

【請求項 10】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲー
ト電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって

前記ゲート電極のエッチングを行い、

次に、ソース・ドレインの前記シリコン層内に、全ての不純物が導入されるエ
ネルギーでソース・ドレインのイオン注入を行い、

次に、1000℃未満の低温でソース・ドレインの不純物活性化の熱処理を行

うことを特徴とする電界効果トランジスタの製造方法。

【請求項 1 1】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって

、
前記ゲート電極のエッチングを行い、

次に、 $10 \sim 30 \text{ nm}$ の SiO_2 膜あるいは SiN 膜を形成し、

次に、ソース・ドレインの前記シリコン層内に全ての不純物が導入されるエネルギーでソース・ドレインのイオン注入を行い、

次に、 1000°C 未満の低温でソース・ドレインの不純物活性化の熱処理を行うことを特徴とする電界効果トランジスタの製造方法。

【請求項 1 2】 絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって

、
前記ゲート電極のエッチングを行い、

次に、全面に N 型の不純物を 10^{18} から 10^{19} cm^{-3} の濃度になるようにイオン注入を行い、

次に、 $10 \sim 30 \text{ nm}$ の SiO_2 膜あるいは SiN 膜を形成し、

次に、ソース・ドレインの前記シリコン層内に全ての不純物が導入されるエネルギーでソース・ドレインのイオン注入を行い、

次に、 1000°C 未満の低温でソース・ドレインの不純物活性化の熱処理を行うことを特徴とする電界効果トランジスタの製造方法。

【請求項 1 3】 前記ゲート電極中の不純物は、ゲート電極のエッチング前に活性化されていることを特徴とする請求項 1 0, 1 1, または 1 2 のいずれか 1 項に記載の電界効果トランジスタの製造方法。

【請求項 1 4】 前記ソース・ドレインの不純物濃度は、 10^{20} cm^{-3} 以上で、かつ、C o シリサイドと S i の接触抵抗が高くない最低限の濃度とすることを特徴とする請求項 1 0, 1 1, または 1 2 のいずれか 1 項に記載の電界効果トランジスタの製造方法。

【請求項 1 5】 前記ソース・ドレインのイオン注入を、高濃度で低エネルギー

ギーと、低濃度で高エネルギーの2回に分けて行い、

950℃未満の低温でソース・ドレインの不純物活性化の熱処理を行うことを特徴とする請求項10、11、または12のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項16】 前記高濃度で低エネルギーの注入によって、
前記シリコン層表面付近の不純物濃度は 10^{20} cm^{-3} 以上となり、
かつ、前記シリコン層裏面に向かって不純物濃度が低下することを特徴とする請求項15に記載の電界効果トランジスタの製造方法。

【請求項17】 前記低濃度で高エネルギーの注入によって、
前記シリコン層裏面付近の不純物濃度はチャネル濃度よりは高く、かつ、 10^{19} cm^{-3} 以下になっていることを特徴とする請求項15または16のいずれか1項に記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、絶縁層上にシリコン層が形成されたSOI (silicon on insulator) 基板を用いた、微細ゲート長の電界効果トランジスタ (MOSFET: MOS field effect transistor) の製造方法に関するものである。

【0002】

【従来の技術】

SOI基板は、絶縁層と、その絶縁層上に形成されたシリコン層とから構成される基板である。このSOI基板を用いて製造されるSOI MOSFETは、その構造的特徴から、寄生容量が小さい、ラッチアップフリーである、ソフトエラー率が低い、素子分離が比較的容易である等の長所を有しており、高速、低消費電力LSIへの適用が期待されている。特に、完全空乏型 (FD: Fully-Depleted) デバイスでは、ゲート下に形成される空乏層がSOI下の埋め込み酸化膜 (BOX: buried oxide) まで到達するために空乏層容量を小さくすることができ、サブスレシールド係数がほぼ理想値まで小さくできるという利点がある。

【0003】

従来のSOI MOSFETの製造方法として、「T. Ohno et al., IEEE Trans. On Electron Devices, 42, p. 1481, 1995」に、SOI nMOSFETの製造方法（以下、「第1の従来方法」という）が記載されている。第1の従来方法では、シリコン基板上に埋め込み酸化膜が100nm、シリコン層が56nm形成されたSIMOX (silicon implanted oxide) 基板を用い、まず素子分離のためのフィールド酸化膜を形成する。次に、フィールド酸化膜に囲まれるボディ領域に、フッ化硼素 (BF_2) を 10^{17} cm^{-3} 程度になる濃度までイオン注入する。次に、ボディ領域のエッジ部に、チャネルストップのための不純物、 BF_2 をイオン注入する。これによりシリコン層のエッジ部が高密度化される。

【0004】

次に、ボディ領域の上にゲート酸化膜を7nm形成する。更にこの上に N^+ ポリシリコンを厚さ30nm形成し、フィールド領域の一辺からボディ領域の中心を通して対向する他のフィールド領域に亘ってパターニングし、 $0.25 \mu\text{m}$ 程度のゲート長のゲート電極を形成する。

【0005】

次に、 N^+ ポリシリコンのゲート電極の側面に、窒化シリコン (SiN) 膜と N^+ ポリシリコン膜を形成し、サイドウォールエッチングを行って、SiN膜と N^+ ポリシリコン膜のサイドウォールを形成する。

【0006】

次に、シリコン層のエッジ部にイオン注入によりリン (P) を導入し、ソース・ドレイン領域を形成する。

【0007】

次に、サイドウォールの N^+ ポリシリコン膜のみをウェットエッチングにより除去してSiN膜のサイドウォールのみにした後、不純物の活性化のために1000℃で急速加熱熱理 (RTA: rapid thermal anneal) を行う。

【0008】

このようにして、第1の従来方法によれば、微細ゲート長の完全空乏型SOI電界効果トランジスタ (MOSFET) が得られる。第1の従来方法では、チャネルストップのためのイオン注入を行うことでボディ領域のエッジ部に形成され

る寄生トランジスタのしきい値電圧 (V_{th}) を高くして、ハンプ発生によるオフリーク電流の低減を図っている。

【0009】

また、従来のSOI MOSFETの製造方法（以下、「第2の従来方法」という）は、「仲 他, 信学技報 SDM96-234, p.45, 1997」にも記載されている。

【0010】

第2の従来方法では、シリコン基板上に埋め込み酸化膜が100nm, シリコン層が55nm形成されたSIMOXウェハを用い、素子分離のためのフィールド酸化膜を形成する。次に、nMOS及びpMOSとなる2カ所のボディ領域に、イオン注入によりそれぞれフッ化ホウ素 (BF_2) 及びリン (P) を、しきい値電圧が0.2~0.3Vになる濃度で導入する。

【0011】

次に、2カ所のボディ領域上にゲート酸化膜を7nm形成する。この上に、ノンドープのポリシリコンを200nm形成し、パターニングすることにより0.35 μ m程度のゲート長のゲート電極を形成する。

【0012】

次に、酸化シリコン (SiO_2) 膜のサイドウォールをそれぞれボディ領域の一部に形成し、nMOS及びpMOS領域に、イオン注入によりP及び BF_2 を導入し、nMOSFETのシングル・ドレイン (S/D: single drain) 及びpMOSFETのS/Dを形成する。このとき同時にゲート電極への不純物ドーピングを行い、nMOSでは N^+ ポリシリコンのゲート電極、pMOSでは P^+ ポリシリコンのゲート電極となる。

【0013】

次に、800℃での炉アニールと、1000℃でのRTAを行い、不純物の活性化を行う。この後、Tiシリサイド工程を経て、ソース・ドレイン上及びゲート上に、Tiシリサイドを形成する。

【0014】

このようにして、第2の従来方法によれば、微細ゲート長の完全空乏型SOI電界効果トランジスタ (CMOSFET) が実現される。このようにして得られ

たトランジスタの構造は、ソース・ドレインのインプラをnMOS, pMOSのそれぞれについて1回しか行わないため、「シングル・ドレイン構造」と呼ばれる。

【0015】

【発明が解決しようとする課題】

上記第1の従来方法では、文献中に詳細な記述はないが、nMOSのボディ領域のエッジ部にチャンネルストップのイオン注入を行うためにはホトリソ工程を必要とする。図17は、素子の上部から見たゲート電極と、ソース、ドレインがあるボディ領域の関係を示す図で、図17中、点線で囲んだ2カ所の領域がチャンネルストップのイオン注入が必要とされるボディ領域のエッジ部である。

【0016】

ホトリソ工程を経てイオン注入を行う場合、アクティブ領域と、チャンネルストップインプラを行うレジストパターンとの間には、「合わせ余裕」が必要になる。図18は、アクティブ領域と、チャンネルストップのイオン注入のためのレジストパターンとの関係を示す図である。図18に示されるように、レジストパターンの幅が実効ゲート長となる。このため、実効ゲート長は、アクティブ領域の幅の寸法から、合わせ余裕に必要な寸法の分だけ差し引いた値になる。素子がますます微細化されていくと、合わせ余裕は、実効ゲート長と同等か、それ以上になってしまう。そして、第1の従来方法では、素子サイズを縮小する際にアクティブ領域の幅を縮小できないという問題があった。

【0017】

図19は、絶縁層上にシリコン層が形成されたSOI基板に形成された素子の断面図で、チャンネルストップ必要領域(A)、同不要領域(B)、同未注入領域(C)が示される。チャンネルストップのイオン注入により不純物濃度を高くしなければならない領域(A)は、図19の断面図にハッチングして示すボディ領域のエッジ部から50nm程度のシリコン層の膜厚が薄くなっている領域である。この部分ではフィールド酸化膜がゲート酸化膜となるためにゲート酸化膜は厚くなるが、シリコン層の膜厚が薄いためシリコン層中に含まれる不純物量が厚い部分に比べて少なくなり、寄生トランジスタのしきい値電圧が下がって、図20に

示されるようなハンプ特性を示すようになる。図 2 0 の縦軸はドレイン電流 (I_{ds})、横軸はゲート電圧 (V_g) で、実線は主トランジスタ特性、破線は寄生トランジスタ特性である。この様なハンプ特性を示すと、オフリーク電流 (I_{off}) は増大してしまう。

【 0 0 1 8 】

ホトリソで不純物の注入領域以外にレジストマスクを設ける場合、図 1 9 に示される領域 (B) は本来不純物濃度を高くする必要がない領域であるが、チャネルストップの不純物が導入されてしきい値電圧が高くなり、実効ゲート長には含まれない領域になってしまう。

【 0 0 1 9 】

一方、上記第 2 の従来方法では、サイドウォールの外側からソース・ドレイン形成のためのイオン注入を行っているため、サイドウォールの膜厚のばらつきにより、ゲート電極とソース・ドレインとの重なりが大きくなって、物理的なゲート長と電氣的なゲート長との差が大きくなる。あるいは逆に、ゲート電極とソース・ドレインの重なりがなくなって、オフセット構造となる。このため、いずれの場合にもトランジスタの電流値が大きく変動してしまうという問題があった。

【 0 0 2 0 】

サイドウォールの膜厚は、ソース・ドレインの不純物拡散長により決定されるが、この不純物拡散長は、熱処理温度、不純物濃度に大きく影響される。ソース・ドレインと同時にゲート電極への不純物導入を行う上記第 2 の従来方法においては、ゲート電極の空乏化を防止するために、イオン注入条件、熱処理条件に制約が必要である。

【 0 0 2 1 】

即ち、(1) ゲート電極中の不純物を十分に拡散・活性化させるために、 1000°C 程度の高温熱処理が必要となる。(2) 200 nm のポリシリコン中の不純物濃度を、 10^{20} cm^{-3} 以上にしなければならないため、ドーズ量として $5 \times 10^{15}\text{ cm}^{-2}$ 程度の高濃度が必要となる。

【 0 0 2 2 】

上記 (1)、(2) の理由から、サイドウォールの膜厚は、 100 nm 程度ま

で厚くする必要があるが、サイドウォールの膜厚は厚いほどばらつきの絶対値は大きくなるため、トランジスタ特性のばらつきも大きくなってしまうという問題があった。

【 0 0 2 3 】

また、nMOSとpMOSのトランジスタはソース・ドレインの不純物の拡散定数が異なるため、どちらか一方のトランジスタにおいて最適化を行った場合、他方は最適条件に合わせることが難しいというCMOSFET特有の問題もあった。

【 0 0 2 4 】

また、このサイドウォールの膜厚の面内ばらつきは、形成された酸化膜厚のばらつきだけでなく、サイドウォールエッチングによる膜厚ばらつきも加わるため、サイドウォールの膜厚制御が難しいという問題もあった。

【 0 0 2 5 】

本発明は、上記従来の問題を解決するためになされたものであり、その第1の目的は、ゲート長が小さく、寄生トランジスタの影響が無くてハンプが発生しにくく、隣接したnMOSとpMOSとの間隔を小さくできる電界効果トランジスタの製造方法を提供することにある。

【 0 0 2 6 】

また本発明の第2の目的は、短チャネル効果を抑制し、サイドウォールの膜厚のばらつきがなく、従って電流値のばらつきの少ない電界効果トランジスタの製造方法を提供することにある。

【 0 0 2 7 】

【課題を解決するための手段】

上記第1の目的を達成するための第1の本発明の電界効果トランジスタの製造方法は、絶縁層上にシリコン層が形成されたSOI基板の上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって、

素子分離のためのフィールド酸化膜を形成し、

次に、アクティブ窒化膜をシリコン層のエッジ部が露出される膜厚までウェットエッチングし、

次に、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャンネルストップの不純物をセルフアラインで、垂直に、または、角度をつけてイオン注入することを特徴とする。

【 0 0 2 8 】

チャンネルストップの不純物を角度をつけてイオン注入する場合は、そのイオン注入角度によってアクティブ窒化膜の膜厚を調整することができる。

【 0 0 2 9 】

このような本発明の構成により、ゲート長が小さく、寄生トランジスタの影響が無くてハンプが発生しにくく、隣接した nMOS と pMOS との間隔を小さくできる電界効果トランジスタを得ることができる。

【 0 0 3 0 】

チャンネルストップの不純物をセルフアラインでイオン注入した後に、熱処理を行ってもよい。チャンネルストップのイオン注入後に熱処理を行うことにより、素子分離のためのフィールド酸化膜のウェットエッチングレートが低下し、寄生トランジスタとなる SOI のシリコン層のエッジ部上にあるフィールド酸化膜の膜厚が厚くなることにより、ハンプの抑制された、合わせ余裕によるアクティブ幅増大のない SOI MOSFET が得られる。

【 0 0 3 1 】

また、素子分離のためのフィールド酸化膜を形成する前に、アクティブ窒化膜をパターニングし、次に、窒化膜のサイドウォールを形成してもよい。このようにすると、より一層ハンプの発生を抑制できる。

【 0 0 3 2 】

また、アクティブ窒化膜のウェットエッチングの次に、または、チャンネルストップの不純物のイオン注入の次に、シリコン層のエッジ部が露出した部分の上に、酸化によりシリコン酸化膜を形成してもよい。このようにすると、フィールド酸化膜の熱処理が同時に行われ、フィールド酸化膜のエッチングレートが遅くなり、この後の工程におけるウェットエッチング処理中のフィールド酸化膜の削れ量を減らすことができる。

【 0 0 3 3 】

また、チャネルストップの不純物のイオン注入の次に、アクティブ窒化膜の側面にシリコン酸化膜でサイドウォールを形成してもよく、または、ポリシリコン膜のサイドウォールを形成し、次に、ポリシリコン膜のサイドウォールを酸化してもよい。

【 0 0 3 4 】

上記第 2 の目的を達成するための第 2 の本発明の電界効果トランジスタの製造方法は、絶縁層上にシリコン層が形成された S O I 基板上に、ゲート電極、ソース・ドレインを形成する電界効果トランジスタの製造方法であって、

ゲート電極のエッチングを行い、

次に、ソース・ドレインのシリコン層内に、全ての不純物が導入されるエネルギーでソース・ドレインのイオン注入を行い、

次に、1 0 0 0℃未満の低温でソース・ドレインの不純物活性化の熱処理を行うことを特徴とする。

【 0 0 3 5 】

または、ゲート電極のエッチングを行い、

次に、1 0 ～ 3 0 n m の S i O₂ 膜あるいは S i N 膜を形成し、

次に、ソース・ドレインのシリコン層内に全ての不純物が導入されるエネルギーでソース・ドレインのイオン注入を行い、

次に、1 0 0 0℃未満の低温でソース・ドレインの不純物活性化の熱処理を行うように構成してもよい。

【 0 0 3 6 】

または、ゲート電極のエッチングを行い、

次に、全面に N 型の不純物を $1 0^{18}$ から $1 0^{19} \text{ cm}^{-3}$ の濃度になるようにイオン注入を行い、

次に、1 0 ～ 3 0 n m の S i O₂ 膜あるいは S i N 膜を形成し、

次に、ソース・ドレインのシリコン層内に全ての不純物が導入されるエネルギーでソース・ドレインのイオン注入を行い、

次に、1 0 0 0℃未満の低温でソース・ドレインの不純物活性化の熱処理を行うように構成してもよい。

【 0 0 3 7 】

このような上記第 2 の本発明のいずれかの構成により、短チャネル効果を抑制し、サイドウォールの膜厚のばらつきによる電流値のばらつきの少ない電界効果トランジスタの製造方法を提供することができる。

【 0 0 3 8 】

上記第 2 の本発明のいずれかの構成において、ゲート電極中の不純物は、ゲート電極のエッチング前に活性化されていてもよい。

【 0 0 3 9 】

また、上記第 2 の本発明のいずれかの構成では、ソース・ドレインの不純物濃度は、 10^{20} cm^{-3} 以上で、かつ、C o シリサイドと S i の接触抵抗が高くない最低限の濃度とすることが好ましい。

【 0 0 4 0 】

更に、上記第 2 の本発明のいずれかの構成において、ソース・ドレインのイオン注入を、高濃度で低エネルギーと、低濃度で高エネルギーの 2 回に分けて行い、 950°C 未満の低温でソース・ドレインの不純物活性化の熱処理を行うように構成してもよい。

【 0 0 4 1 】

このような構成により、高濃度で低エネルギーの注入によって、シリコン層表面付近の不純物濃度は 10^{20} cm^{-3} 以上となり、かつ、シリコン層裏面に向かって不純物濃度が低下する。

【 0 0 4 2 】

また、このような構成により、低濃度で高エネルギーの注入によって、シリコン層裏面付近の不純物濃度はチャネル濃度よりは高く、かつ、 10^{19} cm^{-3} 以下になる。

【 0 0 4 3 】

第 1 及び第 2 の本発明の構成では、S O I 基板の代わりに、バルク状のシリコン基板を用いても実現することができ、本発明はこのような構成も含めるものである。

【 0 0 4 4 】

【発明の実施の形態】

以下に、第 1 の本発明の代表的な実施の形態として第 1 から第 7 までの実施の形態を、第 2 の本発明の代表的な実施の形態として第 8 から第 1 2 までの実施の形態を、それぞれ図面を用いて説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については同一の符号を付することにより重複説明を省略する。

【0 0 4 5】

(第 1 の実施の形態)

図 1，図 2 は、本発明の第 1 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。

【0 0 4 6】

第 1 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上に、埋め込み酸化膜 (BOX) 2 が 1 1 0 n m，シリコン層 3 が 5 0 n m 程度形成された S I M O X ウエハを用い、シリコン層 3 上に酸化により 7 n m の酸化膜 4 を形成し、その上に C V D 法により 1 6 0 n m のシリコン窒化膜 (S i N) 5 a を形成し、素子分離領域をパターニングするためのマスクとなるレジストパターン (図示せず) を形成し、このレジストパターンをマスクとして S i N 膜 5 a，及び、酸化膜 4 の不要部分をエッチングし、アクティブ窒化膜 5 を形成する (図 1 (A))。

【0 0 4 7】

次に、エッチングにより露出された S O I 部を 1 0 0 n m 程度酸化し、素子分離領域 6 を形成する。素子分離の方法としては、S T I (shallow trench isolation) 等の分離方法を用いてもよく、以下の実施の形態でも同様である。このとき横方向への酸化も進むため、シリコン層 3 のエッジ部 7 の下側はアクティブ窒化膜 5 のエッジ部よりもアクティブ窒化膜 5 下へ 6 0 n m 程度入り込んだ位置になる (図 1 (B))。

【0 0 4 8】

次に、シリコン窒化膜 5 a の表面に形成した酸化膜を除去するためのフッ酸 (HF) によるウェットエッチングを行い、熱リン酸により 100 nm 程度のアクティブ窒化膜 5 をウェットエッチングする。ウェットエッチングでは等方エッチングが行われるため、膜厚が 100 nm 減少して 60 nm 程度になるとともに、アクティブ窒化膜 5 のエッジ部が 100 nm 程度後退する。このエッチングにより、シリコン層 3 のエッジ部 7 がアクティブ窒化膜 5' の下から露出される (図 1 (C))。

【 0 0 4 9 】

次に、nMOS 領域のみにチャネルストップのイオン注入が行われるようにパターニングした後、 BF_2 のイオン注入を行う。イオン注入は、角度をつけない垂直イオン注入とする。nMOS 領域にレジストは存在しないが、アクティブ窒化膜 5' があるため、シリコン層 3 には不純物は注入されず、シリコン層 3 のエッジ部 7 にのみ不純物が導入される。このようにホトリソの合わせ余裕が不要な、セルフアラインでのチャネルストップのイオン注入を行うことができる (図 1 (D))。

【 0 0 5 0 】

次に、残りのアクティブ窒化膜 5' を除去した後、しきい値電圧を制御するために、ボディ領域 8 にシリコン層 3 が 10^{14} から 10^{19} cm^{-3} 程度の不純物濃度になるように、フッ化ホウ素 (BF_2) をイオン注入する (図 2 (E))。

【 0 0 5 1 】

次に、ゲート酸化膜 9 を 3 nm 形成する。この上に、ノンドープのポリシリコンを 200 nm 形成し、パターニングして $0.15 \mu\text{m}$ 程度のゲート長のゲート電極 10 を形成する (図 2 (F))。

【 0 0 5 2 】

次に、酸化シリコン膜 (SiO_2) のサイドウォール 11 を形成し、イオン注入により As を導入し、ソース・ドレイン 12 を形成する。このとき同時にゲート電極への不純物ドーピングを行い、 N^+ ポリシリコンのゲート電極 10 とする (図 2 (G))。

【 0 0 5 3 】

次に、900～1100℃、例えば1000℃で数十秒間のRTAを行い、不純物の活性化を行う。この後、C o シリサイド工程を経て、ソース・ドレイン上及びゲート上にC o シリサイド13を形成して、完全空乏型SOI MOSFETが形成される（図2（H））。

【 0 0 5 4 】

（第1の実施の形態の効果）

以上説明したように、第1の実施の形態にかかるSOI MOSFETの製造方法によれば、フィールド酸化後にアクティブ窒化膜をシリコン層のエッジ部が露出される膜厚までウェットエッチングした後、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャンネルストップの不純物をセルフアラインで垂直にイオン注入することにより、寄生トランジスタの影響がない、ゲート長の小さいSOI MOSFETを得ることができる。

【 0 0 5 5 】

また、角度をつけないチャンネルストップのイオン注入を行うと、nMOSとpMOSとの間隔を小さくできるという効果が得られる。図3は、nMOSとpMOSのトランジスタとイオン注入の関係を説明するための（A）上面図と（B）断面図である。図3に示すように、nMOS、pMOSのトランジスタが隣接して存在する場合、チャンネルストップのイオン注入用のレジストはpMOS領域に形成されるが、レジストとpMOS／nMOSのアクティブ領域との間隔は、合わせ余裕で決まる。通常、「合わせ余裕」と「レジスト膜厚」とを比較した場合、レジスト膜厚の方が十分厚くなっているため（レジスト膜厚≫合わせ余裕）、角度をつけたイオン注入ではレジスト膜が影になり、SOIのエッジ部への注入ができなくなる。これに対し、垂直イオン注入ではレジスト膜厚に関係なく所望の箇所への注入が行えるため、上記効果が得られる。

【 0 0 5 6 】

（第2の実施の形態）

第1の実施の形態を説明するための図1、図2を用いて、第2の実施の形態を説明する。

【 0 0 5 7 】

第 2 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上に、埋め込み酸化膜 2 が 1 1 0 n m, シリコン層 3 が 5 0 n m 程度の S I M O X ウエハを用い、シリコン層 3 上に酸化により 7 n m の酸化膜 4 を形成し、その上に C V D 法により 1 2 0 n m のシリコン窒化膜 5 a を形成し、素子分離領域 6 をパターニングするためのマスクとなるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてシリコン窒化膜 5 a, 酸化膜 4 の不要部分をエッチングし、アクティブ窒化膜 5 を形成する。ここで、第 1 の実施の形態と異なるのは、シリコン窒化膜 5 a の膜厚が薄くなっている点である。シリコン窒化膜 5 a をエッチングする時にシリコン層 3 も削られてしまうが、S i N 膜厚が薄いほど削れ量が少なくなる（図 1（A））。

【 0 0 5 8 】

次に、エッチングにより露出された S O I 部を 1 0 0 n m 程度酸化し、素子分離領域 6 を形成する。このとき横方向への酸化も進むため、シリコン層 3 のエッジ部 7 の下側はアクティブ窒化膜 5 のエッジよりもアクティブ窒化膜 5 下へ 6 0 n m 程度入り込んだ位置になる（図 1（B））。

【 0 0 5 9 】

次に、シリコン窒化膜（S i N）2 5 の表面に形成した酸化膜を除去するためのフッ酸（H F）によるウエットエッチングを行い、熱リン酸により 6 0 n m 程度のアクティブ窒化膜 5 をウエットエッチングする。ウエットエッチングでは等方エッチングが行われるため、膜厚が 6 0 n m 減少して 6 0 n m 程度になるとともに、アクティブ窒化膜 5 のエッジ部 7 が 6 0 n m 程度後退する。このエッチングにより、シリコン層 3 のエッジ部 7 の一部がアクティブ窒化膜 5' の下から露出される（図 1（C））。

【 0 0 6 0 】

次に、n M O S 領域のみにチャネルストップのイオン注入が行われるようにパターニングした後、B F₂ のイオン注入を行う。このときのイオン注入は、角度をつけたイオン注入とする。例えば、イオン注入角度としては 4 5° とする。このとき、n M O S 領域にレジストは存在しないがアクティブ窒化膜 5' があるた

め、シリコン層 3 には不純物は注入されず、シリコン層 3 のエッジ部 7 にのみ不純物が導入される。このように、ホトリソ時に合わせ余裕が不要な、セルフアラインでのチャネルストップのイオン注入を行うことができる（図 1（D））。

【0061】

以降の工程は、第 1 の実施の形態の工程と同様である。

【0062】

（第 2 の実施の形態の効果）

以上説明したように、第 2 の実施の形態にかかる SOI MOSFET の製造方法によれば、フィールド酸化後にアクティブ窒化膜をシリコン層のエッジの一部が露出される膜厚までウェットエッチングした後、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインで斜めイオン注入することにより、寄生トランジスタの影響がなく、合わせ余裕によるアクティブ幅増大のない、ゲート長の小さい SOI MOSFET を得ることができる。

【0063】

角度をつけたイオン注入の効果は、斜めにイオン注入するためアクティブ窒化膜からシリコン層のエッジ部が完全に露出していなくても不純物が導入できる点にある。窒化膜が薄くなることにより、アクティブエッチング時のシリコン層の削れ量が少なくなり、フィールド酸化膜が厚くなる。このフィールド酸化膜が寄生トランジスタのゲート酸化膜となるため、エッジ部の寄生トランジスタのしきい値電圧が高くなり、ハンプが出にくくなるという効果が得られる。

【0064】

（第 3 の実施の形態）

図 4 は、本発明の第 3 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。

【0065】

第 3 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上

に、埋め込み酸化膜 2 が 1 1 0 n m, シリコン層 3 が 5 0 n m 程度の S I M O X ウエハを用い、シリコン層 3 上に酸化により 7 n m の酸化膜 4 を形成し、その上に C V D 法により 1 0 0 n m のシリコン窒化膜 5 a を形成し、素子分離領域 6 をパターニングするためのマスクとなるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてシリコン窒化膜 5 a, 酸化膜 4 の不要部分をエッチングし、アクティブ窒化膜 5 を形成する（図 4（A））。

【 0 0 6 6 】

次に、C V D 法により 2 0 n m 程度のシリコン窒化膜を形成し、全面エッチバックすることにより、シリコン窒化膜のサイドウォール 1 4 をアクティブ窒化膜 5 に形成する（図 4（B））。

【 0 0 6 7 】

次に、エッチングにより露出された S O I 部を 1 0 0 n m 程度酸化し、素子分離領域 6 を形成する。このとき、シリコン窒化膜のサイドウォール 1 4 があるため、サイドウォール 1 4 がない場合に比べて横方向へ酸化される領域の長さが短くなる。シリコン層 3 のエッジ部 7 の下側は、アクティブ窒化膜 5 のエッジ部とほぼ同じ位置関係になる（図 4（C））。

【 0 0 6 8 】

次に、シリコン窒化膜の表面に形成した酸化膜を除去するためのフッ酸（H F）によるウエットエッチングを行い、熱リン酸により 4 0 n m 程度のアクティブ窒化膜 5 をウエットエッチングする。ウエットエッチングでは等方エッチングが行われるため、膜厚が 4 0 n m 減少して 6 0 n m 程度になるとともに、アクティブ窒化膜 5 のエッジ部が 4 0 n m 程度後退する。このエッチングにより、シリコン層 3 のエッジ部 7 アクティブ窒化膜 5' の下から露出される（図 4（D））。

【 0 0 6 9 】

次に、n M O S 領域のみにチャネルストップのイオン注入が行われるようにパターニングし、B F₂ のイオン注入を行う。このとき、n M O S 領域にレジストは存在しないが、アクティブ窒化膜 5' があるため、シリコン層 3 には不純物が注入されず、シリコン層 3 のエッジ部 7 にのみ不純物が導入される。このように、ホトリソ時に合わせ余裕が不要な、セルフアラインでのチャネルストップのイ

オン注入を行うことができる（図 4（E））。

【 0 0 7 0 】

以降の工程は、第 1 の実施の形態の図 2（E）から先の工程と同様の工程を経て完全空乏型 CMOS FET が形成される。

【 0 0 7 1 】

（第 3 の実施の形態の効果）

以上説明したように、第 3 の実施の形態にかかる SOI MOSFET の製造方法によれば、アクティブ窒化膜のドライエッチングを行った後に窒化膜のサイドウォールを形成し、次に素子分離の為の酸化を行うことで、アクティブ窒化膜厚を薄くすることができるため、アクティブエッチング時のシリコン層の削れを少なくすることができ、第 1 の実施の形態よりも一層ハンプの発生が抑制しやすくなるという効果が得られる。

【 0 0 7 2 】

第 3 の実施の形態によれば、アクティブ窒化膜下への横方向への酸化が抑制できるため、アクティブ窒化膜のエッジ部とシリコン層のエッジ部の変換差を第 1、第 2 の実施の形態よりも小さくすることが可能である。このため、アクティブ窒化膜のウェットエッチング膜厚は 40 nm 程度と薄くすることが可能で、初期のアクティブ窒化膜厚が薄くなることにより、アクティブエッチング時のシリコン層の削れ量が少なくなり、SOI エッジ部のフィールド酸化膜が厚くなることにより、寄生トランジスタしきい値電圧が高くなってハンプが出にくくなるという効果が得られる。

【 0 0 7 3 】

また、斜めイオン注入を行わずにアクティブ窒化膜の薄膜化ができるため、第 1 の実施の形態と同様に、隣接した nMOS と pMOS との間隔を小さくできるという効果も得られる。

【 0 0 7 4 】

（第 4 の実施の形態）

本発明の第 4 の実施の形態の電界効果トランジスタの製造方法を、第 1 の実施の形態の図 1 を用いて説明する。図 1（D）において、チャネルストップのイオ

ン注入が行われた後に熱処理を行う。熱処理条件としては、炉を用いた窒素、あるいは酸素雰囲気中で、 $800\sim1000^{\circ}\text{C}$ 、 $10\sim30$ 分間程度の熱処理、あるいはRTAを用いて窒素、あるいは酸素雰囲気中で $900\sim1100^{\circ}\text{C}$ 、数十秒間、例えば 1000°C で10秒間の熱処理を行えばよい。以降の工程は、第1の実施の形態の図2(E)から先の工程と同様の工程を経て、完全空乏型CMOSFETが得られる。

【0075】

(第4の実施の形態の効果)

以上説明したように、第1の実施の形態にかかるSOI MOSFETの製造方法によれば、チャネルストップのイオン注入後に熱処理を行うことにより、フィールド酸化膜のウェットエッチングレートが低下し、寄生トランジスタとなるシリコン層エッジ部上にあるフィールド酸化膜厚が厚くなることによりハンプが抑制され、合わせ余裕によるアクティブ幅増大のないSOI MOSFETとすることができる。

【0076】

図5は、第1～第4の実施の形態における、埋め込み酸化膜(BOX)2の素子分離領域6と、シリコン層3のエッジ部7との関係を比較する断面図(部分)で、(A)は第1の実施の形態、(B)は第2の実施の形態、(C)は第3の実施の形態、(D)は第4の実施の形態によるMOSFETの断面図である。図5に示されるように、素子分離領域6の膜厚は、実施の形態 第1<第2<第3<第4の順に厚くなっている。

【0077】

(第5の実施の形態)

図6、図7は、本発明の第5の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図でa-b線でゲート電極の中心部を切断した断面図である。

【0078】

第5の実施の形態の電界効果トランジスタの製造方法では、シリコン基板1上

に、埋め込み酸化膜 2 が 1 1 0 n m, シリコン層 3 が 5 0 n m 程度存在する S I M O X ウエハを用い、シリコン層 3 上に酸化により 7 n m の酸化膜 4 を形成し、その上に C V D 法により 1 6 0 n m のシリコン窒化膜 5 a を形成し、素子分離領域 6 パターニングするためのマスクとなるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてシリコン窒化膜 5 a, 酸化膜 4 の不要部分をエッチングし、アクティブ窒化膜 5 を形成する（図 6 (A)）。

【 0 0 7 9 】

次に、エッチングにより露出された S O I 部を 1 0 0 n m 程度酸化し、素子分離領域 6 を形成する。このとき横方向への酸化も進むため、シリコン層 3 のエッジ部 7 の上側は、アクティブ窒化膜 5 のエッジ部よりも下部へ 6 0 n m 程度入り込んだ位置になる（図 6 (B)）。

【 0 0 8 0 】

次に、アクティブ窒化膜 5 の表面に形成された酸化膜を除去するためのフッ酸 (H F) によるウェットエッチングを行い、熱リン酸によりアクティブ窒化膜 5 を 6 0 n m 程度ウェットエッチングする。ウェットエッチングでは等方エッチングが行われるため、膜厚が 6 0 n m 減少して 6 0 n m 程度になるとともに、アクティブ窒化膜 5 のエッジ部が 6 0 n m 程度後退する。このエッチングにより、シリコン層 3 のエッジ部 7 の一部がアクティブ窒化膜 5' の下から露出される（図 6 (C)）。

【 0 0 8 1 】

次に、8 0 0 ~ 9 0 0 ° C で適当な時間、例えば 8 5 0 ° C の酸素雰囲気中で 3 0 分間熱処理することにより、アクティブ窒化膜 5' の露出した部分にシリコン酸化膜 1 5 を 3 0 0 Å (オングストローム。以下同じ。) 程度形成する。このとき、酸素がパッド酸化膜を通過して、シリコン層 3 のエッジ部 7 の一部が酸化される。しかし、この酸化によりシリコン層 3 のエッジ部の上には厚いシリコン酸化膜 1 5 が形成される（図 6 (D)）。

【 0 0 8 2 】

次に、n M O S 領域のみにチャネルストップのイオン注入が行われるようにパターニングし、B F₂ のイオン注入を行う。このときのイオン注入は、角度をつ

けない垂直イオン注入とする。このとき nMOS 領域にレジストは存在しないが、アクティブ窒化膜 5' があるため、シリコン層 3 に不純物は注入されず、シリコン層 3 のエッジ部 7 にのみ不純物が導入される。このように、ホトリソの合わせ余裕が不要で、セルフアラインでのチャネルストップのイオン注入を行うことができる (図 7 (E))。

【 0 0 8 3 】

ここでイオン注入をする順番は、アクティブ窒化膜の露出した部分にシリコン酸化膜 1 5 を形成する前でも後でも同様の効果が得られるため、どちらの順番でもよい。

【 0 0 8 4 】

次に、熱処理を行う。熱処理条件は、炉を用いた窒素雰囲気、あるいは酸素雰囲気中で、800～1000℃、10～30分間程度の熱処理、あるいは RTA を用いた窒素雰囲気、あるいは酸素雰囲気中で、900～1100℃で数十秒間、好ましくは1000℃で10秒間程度の熱処理を行えばよい。このような熱処理を行うことにより、フィールド酸化膜のエッチングレートが遅くなり、この後の工程におけるウェットエッチング処理中のフィールド酸化膜の削れ量を減らすことができる。

【 0 0 8 5 】

次に、残りのアクティブ窒化膜 5' とパッド酸化膜 4 とをウェットエッチングにより除去する。このとき、シリコン酸化膜 1 5 のサイドウォールがあるため、シリコン層 3 のエッジ部 7 上のシリコン酸化膜を薄くすることなく残すことが可能になる。この後、しきい値電圧を制御するために、ボディ領域 8 にシリコン層 3 が 10^{14} から 10^{19} cm^{-3} 程度の不純物濃度になるようにフッ化ホウ素 (BF_2) をイオン注入する (図 7 (F))。

【 0 0 8 6 】

次に、ゲート酸化膜 9 を 3 nm 形成する。この上に、ノンドープのポリシリコンを 200 nm 形成し、パターニングにより 0.15 μm 程度のゲート長のゲート電極 10 を形成する (図 7 (G))。

【 0 0 8 7 】

次に、酸化シリコン (SiO_2) 膜のサイドウォール 1 6 を形成し、イオン注入により As を導入し、ソース・ドレイン 1 2 を形成する。このとき同時にゲート電極 1 0 への不純物ドーピングが行われ、 N^+ ポリシリコンのゲート電極 1 0 となる (図 7 (H))。

【 0 0 8 8 】

次に、 $900 \sim 1100^\circ\text{C}$ で数十秒間、好ましくは 1000°C で 1 0 秒間程度の RTA を行い、不純物の活性化を行う。この後 C o シリサイド工程を経て、ソース・ドレイン上及びゲート上に C o シリサイド 1 3 を形成し、完全空乏型 SOI MOSFET が形成される (図 7 (I))。

【 0 0 8 9 】

(第 5 の実施の形態の効果)

以上説明したように、第 5 の実施の形態にかかる SOI MOSFET の製造方法によれば、フィールド酸化後にアクティブ窒化膜をシリコン層のエッジ部が露出される膜厚までウェットエッチングした後、アクティブ窒化膜横のシリコン層のエッジ部が露出された部分にシリコン酸化膜を形成し、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインでイオン注入し、熱処理を行ったあとアクティブ窒化膜、パッド酸化膜を除去することにより、シリコン層のエッジ部上のフィールド酸化膜を薄くすることなく残すことが可能になり、寄生トランジスタの影響のないゲート長の小さい SOI MOSFET が得られる。

【 0 0 9 0 】

(第 6 の実施の形態)

図 8、図 9 は、本発明の第 6 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。

【 0 0 9 1 】

第 6 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上に、埋め込み酸化膜 2 が 110nm 、シリコン層 3 が 50nm 程度存在する SI

MOXウエハを用い、シリコン層3上に酸化により7nmの酸化膜4を形成し、その上にCVD法により160nmのシリコン窒化膜5aを形成し、素子分離領域をパターニングするためのマスクとなるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてシリコン窒化膜5a、酸化膜4の不要部分をエッチングし、アクティブ窒化膜5を形成する（図8（A））。

【0092】

次に、エッチングにより露出されたSOI部を100nm程度酸化し、素子分離領域6を形成する。このとき、横方向への酸化も進むため、シリコン層3のエッジ部7の上側はアクティブ窒化膜5のエッジ部よりもアクティブ窒化膜5下へ60nm程度入り込んだ位置になる（図8（B））。

【0093】

次に、アクティブ窒化膜5の表面に形成された酸化膜を除去するためのフッ酸（HF）によるウエットエッチングを行い、熱リン酸により100nm程度のアクティブ窒化膜5をウエットエッチングする。ウエットエッチングでは等方エッチングが行われるため、膜厚が100nm減少して60nm程度になるとともに、アクティブ窒化膜5のエッジ部が100nm程度後退する。このエッチングにより、シリコン層3のエッジ部7がアクティブ窒化膜5'の下から露出される（図8（C））。

【0094】

次に、nMOS領域のみにチャネルストップのイオン注入が行われるようにパターニングし、BF₂のイオン注入を行う。このときのイオン注入は、角度をつけない垂直イオン注入とする。このときnMOS領域にレジストは存在しないが、アクティブ窒化膜5'があるためシリコン層3に不純物は注入されず、シリコン層3のエッジ部7にのみ不純物が導入される。このように、ホトリソの合わせ余裕が不要で、セルフアラインでのチャネルストップのイオン注入を行うことができる（図8（D））。

【0095】

イオン注入の後、CVD法により150nm程度のシリコン酸化膜を堆積する。次に、等方性ドライエッチング法により全面エッチバックし、シリコン酸化膜

のサイドウォール 1 5 をアクティブ窒化膜 5' に形成する (図 9 (E))。

【 0 0 9 6 】

次に、熱処理を行う。熱処理条件は、炉を用いた窒素雰囲気、あるいは酸素雰囲気中で、800～1000℃、10～30分間程度の熱処理、あるいはRTAを用いた窒素雰囲気、あるいは酸素雰囲気中で、900～1100℃で数十秒間、好ましくは1000℃で10秒間程度の熱処理を行えばよい。このような熱処理を行うことにより、フィールド酸化膜のエッチングレートが遅くなり、この後の工程におけるウェットエッチング処理中のフィールド酸化膜の削れ量を減らすことができる。

【 0 0 9 7 】

次に、残りのアクティブ窒化膜 5' とパッド酸化膜 4 をウェットエッチングにより除去する。このとき、シリコン酸化膜のサイドウォール 1 5 があるため、シリコン層 3 のエッジ上のシリコン酸化膜を薄くすることなく残すことができる。この後、しきい値電圧を制御するために、ボディ領域 8 にシリコン層 3 が 10^{14} から 10^{19} cm^{-3} 程度の不純物濃度になるようにフッ化ホウ素 (BF_2) をイオン注入する (図 9 (F))。

【 0 0 9 8 】

次に、ゲート酸化膜 9 を 3 nm 形成する。この上に、ノンドープのポリシリコンを 200 nm 形成し、パターニングして $0.15 \mu\text{m}$ 程度のゲート長のゲート電極 10 が形成される (図 9 (G))。

【 0 0 9 9 】

次に、酸化シリコン (SiO_2) 膜のサイドウォール 1 1 を形成し、イオン注入により As を導入し、ソース・ドレイン 1 2 を形成する。このとき同時にゲート電極への不純物ドーピングが行われ、 N^+ ポリシリコンのゲート電極 10 となる (図 9 (H))。

【 0 1 0 0 】

次に、1000℃でRTAを行い、不純物の活性化を行う。この後C○シリサイド工程を経て、ソース・ドレイン 1 2 上及びゲート電極 1 0 上にC○シリサイド 1 3 を形成し、完全空乏型 SOI MOSFET が形成される (図 9 (I))

【 0 1 0 1 】

(第 6 の実施の形態の効果)

以上説明したように、第 6 の実施の形態にかかる S O I M O S F E T の製造方法によれば、フィールド酸化後にアクティブ窒化膜をシリコン層のエッジ部が露出される膜厚までウェットエッチングした後、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインでイオン注入し、アクティブ窒化膜の横にシリコン酸化膜のサイドウォールを形成した後熱処理を行い、次にアクティブ窒化膜、パッド酸化膜を除去することにより、シリコン層のエッジ部上のフィールド酸化膜を薄くすることなく残すことが可能となり、寄生トランジスタの影響のないゲート長の小さい S O I M O S F E T を実現できるという効果が得られる。

【 0 1 0 2 】

(第 7 の実施の形態)

本発明の第 7 の実施の形態の方法を、第 6 の実施の形態を説明するための図 8 と図 1 0 とを用いて説明する。図 1 0 は、本発明の第 7 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。

【 0 1 0 3 】

第 7 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上に、埋め込み酸化膜 2 が 1 1 0 n m , シリコン層 3 が 5 0 n m 程度存在する S I M O X ウエハを用い、シリコン層 3 上に酸化により 7 n m の酸化膜 4 を形成し、その上に C V D 法により 1 6 0 n m のシリコン窒化膜 5 a を形成し、素子分離領域 6 パターニングするためのマスクとなるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてシリコン窒化膜 5 a と酸化膜 4 の不要部分をエッチングし、アクティブ窒化膜 5 が形成される（図 8 (A)）。

【 0 1 0 4 】

次に、エッチングにより露出された S O I 部を 1 0 0 n m 程度酸化し、素子分

離領域 6 を形成する。このとき横方向への酸化も進むため、シリコン層 3 のエッジ部 7 の上側はアクティブ窒化膜 5 のエッジよりもアクティブ窒化膜下へ 6 0 n m 程度入り込んだ位置になる (図 8 (B))。

【 0 1 0 5 】

次に、アクティブ窒化膜 5 の表面に形成された酸化膜を除去するためのフッ酸 (HF) によるウエットエッチングを行い、熱リン酸により 6 0 n m 程度のアクティブ窒化膜 5 をウエットエッチングする。ウエットエッチングでは等方エッチングが行われるため、膜厚が 6 0 n m 減少して 6 0 n m 程度になるとともに、アクティブ窒化膜 5 のエッジ部が 6 0 n m 程度後退する。このエッチングにより、シリコン層 3 のエッジ部 7 の一部がアクティブ窒化膜 5' の下から露出される (図 8 (C))。

【 0 1 0 6 】

次に、nMOS 領域のみにチャネルストップのイオン注入が行われるようにパターニングし、 BF_2 のイオン注入を行う。このときのイオン注入は、角度をつけない垂直イオン注入とする。このとき nMOS 領域にレジストは存在しないが、アクティブ窒化膜 5' があるため、シリコン層 3 に不純物は注入されず、シリコン層 3 のエッジ部 7 にのみ不純物が導入される。このように、ホトリソの合わせ余裕が不要な、セルフアラインでのチャネルストップのイオン注入を行うことができる (図 8 (D))。

【 0 1 0 7 】

イオン注入の後、CVD 法により 7 5 n m 程度のポリシリコンを堆積する。次に、等方性ドライエッチング法により全面エッチバックすることにより、ポリシリコンのサイドウォール 1 7 をアクティブ窒化膜 5' に形成する (図 1 0 (A))。

【 0 1 0 8 】

このときポリシリコンを用いてサイドウォール 1 7 を形成しているため、ポリシリコンとフィールド酸化膜とのエッチング選択比が大きく、全面エッチバック時にフィールド酸化膜が削れてしまうことはない。

【 0 1 0 9 】

次に、800～1000℃で10～30分間、例えば950℃で30分間酸素雰囲気中で熱処理することにより、ポリシリコンのサイドウォール17を酸化し、シリコン酸化膜によるサイドウォール15を形成する。このとき、ポリシリコンが完全に酸化するまで酸化熱処理を行う。この酸化熱処理によりポリシリコンのサイドウォール17は、およそ2倍の厚さのシリコン酸化膜のサイドウォール15になる。更に、この酸化熱処理によりフィールド酸化膜の熱処理が同時に行われ、フィールド酸化膜のエッチングレートが遅くなり、この後の工程におけるウェットエッチング処理中のフィールド酸化膜の削れ量を減らすことができる（図10（B））。

【0110】

しかし、酸化熱処理の時間を長くしすぎると酸化膜を通過してシリコン層も酸化され、シリコン層厚が薄くなってしまうため、トランジスタ特性の劣化が懸念される。このため、酸化熱処理の時間はポリシリコンのサイドウォール17が完全に酸化される時間までとする必要がある。以降の工程は、第5の実施の形態の工程と同様である。

【0111】

（第7の実施の形態の効果）

以上説明したように、第1の実施の形態にかかるSOI MOSFETの製造方法によれば、フィールド酸化後にアクティブ窒化膜をシリコン層のエッジ部が露出される膜厚までウェットエッチングした後、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャネルストップの不純物をセルフアラインでイオン注入し、アクティブ窒化膜の横にポリシリコン膜のサイドウォールを形成した後ポリシリコン膜のサイドウォールを酸化した後、アクティブ窒化膜、パッド酸化膜を除去することにより、シリコン層のエッジ部上のフィールド酸化膜を薄くすることなく残すことが可能となり、寄生トランジスタの影響のないゲート長の小さいSOI MOSFETを実現できるという効果が得られる。

【0112】

アクティブ窒化膜にポリシリコン膜によるサイドウォールを形成する効果としては、サイドウォールを形成するときの全面エッチバックでポリシリコンがなく

なった後にエッチング選択比の大きな違いによりフィールド酸化膜が削れないこと、ポリシリコンを酸化する工程でフィールド酸化膜の熱処理も同時に行えるため工程を簡略化できること、などが効果として得られる。

【 0 1 1 3 】

図 1 1 は、第 5 ～ 第 7 の実施の形態における、埋め込み酸化膜 (BOX) 2 の素子分離領域 6 と、シリコン層 3 のエッジ部 7 との関係を比較する断面図 (部分) で、(E) は第 5 の実施の形態、(F) は第 6 の実施の形態、(G) は第 7 の実施の形態による MOSFET の断面図である。図 1 1 に示されるように、図 5 の (D) の第 4 の実施の形態によるものに比べ更にシリコン層 3 に近い部分で素子分離領域 6 が盛り上がっている。この盛り上がりは、実施の形態 第 5 < 第 6 < 第 7 の順に大きくなっている。

【 0 1 1 4 】

(第 8 の実施の形態)

図 1 2, 図 1 3 は、本発明の第 8 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。

【 0 1 1 5 】

第 8 の実施の形態の電界効果トランジスタの製造方法では、シリコン基板 1 上に、埋め込み酸化膜 2, シリコン層 3 が形成されている SOI 基板を用い、素子分離のためのフィールド酸化膜 4 を形成する。次に、しきい値電圧を制御するために、nMOS 及び pMOS となるボディ領域 8 a, 8 b に、シリコン層 3 が 10^{14} から 10^{18} cm^{-3} 程度の不純物濃度になるようにフッ化ホウ素 (BF_2) 及びリン (P) をイオン注入する (図 1 2 (A))。

【 0 1 1 6 】

次に、酸化炉においてゲート酸化膜 9 を 3 nm 形成する。この上に、LPCVD 法により、ポリシリコン膜 1 8 a, 1 8 b を 200 nm 形成する。次に、nMOS 及び pMOS となる領域にポリシリコン膜 1 8 a, 1 8 b が 10^{20} から 10^{21} cm^{-3} 程度の不純物濃度になるようにリン (P) 及びホウ素 (B) をイ

オン注入する。この不純物種はこの不純物種に限定されるものではない。次に、 1000°C 程度の温度で熱処理することにより、ゲート電極となるポリシリコン中の不純物を活性化する（図12（B））。

【0117】

次に、ゲート電極をパターニングするためのマスクになるレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしポリシリコン膜18a、18bの不要部分をエッチングすることにより、 $0.1\mu\text{m}$ 程度のゲート長のポリシリコンゲート電極19a、19bを形成する（図12（C））。

【0118】

次に、nMOS及びpMOS領域に、イオン注入によりAs及び BF_2 を導入し、nMOSFETのS/D 20a及びpMOSFETのS/D 20bを形成する。このときのエネルギーとしては、ソース・ドレインの薄いシリコン層3内に全ての不純物が導入されるようなエネルギーを用いる（図12（D））。

【0119】

次に、CVD法によって 50nm の SiO_2 膜、あるいはSiN膜、あるいは両者の複合膜を形成し、反応性イオンエッチング（RIE：reactive ion etching）によりエッチバックを行ない、サイドウォール21を形成する。この後、RTAを用い、比較的低温で、例えば 950°C で10秒間の熱処理を行なう（図13（E））。

【0120】

この後Cοシリサイド工程を経て、ソース・ドレイン12上及びゲート電極19a、19b上にCοシリサイド13を形成し、完全空乏型SOI CMOSFETが形成される（図13（F））。

【0121】

（第8の実施の形態の効果）

以上説明したように、第8の実施の形態にかかるSOI MOSFETの製造方法によれば、ゲート電極への不純物導入及び活性化をソース・ドレインのイオン注入前に行うことにより、ソース・ドレイのイオン注入後の活性化熱処理温度を低減することと、ゲート電極エッチング直後にソース・ドレインのイオン注入

を行うことにより、短チャネル効果を抑制しつつ、サイドウォール膜厚ばらつきによる特性変動がない短いチャネル長のMOSFETを実現することができる。

【0122】

ソース・ドレインとゲート電極への同時注入の場合、500Å以下の薄いSOIのソース・ドレイン内に不純物が全て注入されるようなエネルギーにするため、ゲートのポリシリコンでは表面濃度のみが高く、ゲート酸化膜との界面近くの不純物濃度を高めるためには1000℃以上の高温の熱処理が必要であった。第8の実施の形態においては、500Å以下のソース・ドレインのみが活性化される温度であればよいために50℃程度の低温化が可能となり、横方向拡散が低減できる。このため、ゲート電極のエッチング直後にソース・ドレインのイオン注入を行っても短チャネル効果の抑制ができ、短チャネル長のSOI MOSFETが得られる。

【0123】

このようにゲート電極形成後にイオン注入を行うシングルドレイン構造が実現できるのは、薄いシリコン層の上にMOSFETが形成されている効果が大きいため。シリコン層の下がBOXであるため、S/Dの深さは最大でシリコン層厚にしなければならない。このため、ソース・ドレインのイオン注入条件での深さ方向のプロファイルを考慮する必要はなく、短チャネル効果改善のために横方向のソース・ドレインプロファイル制御のみを考慮すればよい。また、SOI上でC_oシリサイドを行った場合、ソース・ドレイン下部に接合がないため、ソース・ドレイン下部での接合リーク発生は考えないでよいことも挙げられる。通常のバルクMOSFETでは、ソース・ドレインを浅くしていった場合、ソース・ドレイン下部での接合リークが起きる可能性があるため、単純に短チャネル効果を低減するためにソース・ドレインを浅く形成できないという問題がある。

【0124】

(第9の実施の形態)の説明

本発明の第9の実施の形態の電界効果トランジスタの製造方法を、第8の実施の形態の図12を用いて説明する。

【0125】

図 1 2 (A) から図 1 2 (C) までは第 8 の実施の形態と同様の工程となるため、説明を省略する。次に、nMOS 及び pMOS 領域に、イオン注入により As 及び BF_2 を導入し、nMOSFET の S/D 20a 及び pMOSFET の S/D 20b を形成する。このときのドーズ量は、S/D のシリコン層内の不純物濃度が 10^{20} cm^{-3} 以上になればよい。完全空乏型デバイスでは、シリコン層厚は 500 Å 以下程度であり、ゲート電極のポリシリコン膜厚 2000 Å の $1/4$ 以下と薄いため、ゲート電極の不純物濃度を 10^{20} cm^{-3} 以上にする場合には、ゲート電極と同時注入の $1/4$ 程度のドーズ量とすることができる (図 1 2 (D))。以降の工程は、第 8 の実施の形態の工程と同様である。

【0126】

(第 9 の実施の形態の効果)

以上説明したように、第 9 の実施の形態にかかる SOI MOSFET の製造方法によれば、ゲート電極への不純物導入及び活性化をソース・ドレインのイオン注入前に行うことと、ソース・ドレインのイオン注入のドーズ量をゲート電極との同時注入をする場合の $1/4$ 程度に低減することにより、第 8 の実施の形態よりも短チャネル効果を抑制しつつ、サイドウォール膜厚ばらつきによる特性変動がない短いチャネル長の SOI MOSFET を実現することができる。

【0127】

ソース・ドレインとゲート電極への同時注入の場合、ゲートの空乏化を防ぐためには 2000 Å のポリシリコン中の不純物濃度を 10^{20} cm^{-3} 以上にするドーズ量が必要であったが、500 Å 以下の薄いソース・ドレイン内の不純物濃度を 10^{20} cm^{-3} 以上にするだけであれば、その $1/4$ 程度のドーズ量で十分である。これにより、ソース・ドレインの不純物濃度が低減し、横方向拡散が抑制されるため、ソース・ドレインが高濃度の場合に比べ短チャネル効果が抑制され、より短いチャネル長の SOI MOSFET を得ることができる。

【0128】

ソース・ドレインの不純物濃度の 10^{20} cm^{-3} という数値は、Co シリサイドと Si の接触抵抗が高くない最低限の濃度である。濃度が低い程、短チャネル効果は抑制できるため、Co シリサイドと Si 接触抵抗の測定を行い、抵

抗が上昇しない範囲で極力低濃度にした場合に短チャネル効果の改善効果が大きくなる。

【 0 1 2 9 】

(第 1 0 の実施の形態)

図 1 4 は、本発明の第 1 0 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。第 1 0 の実施の形態においては、第 8 の実施の形態の図 1 2 (A) から図 1 2 (C) までと同様の工程となるため、説明を省略する。

【 0 1 3 0 】

次に、nMOS 領域に、シリコン層内に p n 接合ができる程度の低エネルギーのイオン注入により As を導入し、ソース・ドレインのシリコン層表面の不純物濃度が 10^{20} cm^{-3} 以上の浅い S/D 22 a を形成し、シリコン層全体に均一に不純物が導入されるようなエネルギーのイオン注入により As を導入し、ソース・ドレインのシリコン層裏面側のの不純物濃度がチャネルの不純物濃度以上 10^{19} cm^{-3} 以下の深い S/D 23 a を形成する。深いソース・ドレイン形成用のイオン注入のドーズ量は、浅いソース・ドレイン形成のドーズ量の 1 / 10 以下程度となる (図 1 4 (D))。

【 0 1 3 1 】

次に、pMOS 領域に、nMOSFET と同様な考え方により、 BF_2 で浅い S/D 22 b 及び深い S/D 23 b を形成する (図 1 4 (E))。

【 0 1 3 2 】

次に、CVD 法によって 50 nm の SiO_2 膜、あるいは SiN 膜、あるいは両者の複合膜を形成し、反応性イオンエッチング (RIE) によりエッチバックを行ない、サイドウォール 21 を形成する。その後 RTA を用い、比較的低温での例えば 950°C で 10 秒間の熱処理を行なう。熱処理後のソース・ドレインとボディ部の接合位置がゲート下寄りになる。これは、浅いソース・ドレインの不純物濃度が高いため、熱処理による横方向の拡散長が大きくなるためである。た

だし、ソース・ドレイン全体が高濃度の深いソース・ドレイン全体が高濃度の深いソース・ドレインに比べれば、深い部分での横方向の拡がりが小さくなっている（図 1 4 (F)）。

【0 1 3 3】

この後、C o シリサイド工程を経て、ソース・ドレイン 1 2 上及びゲート電極 1 9 a, 1 9 b 上にC o シリサイド 1 3 が形成され、完全空乏型 S O I C M O S F E T が形成される（図 1 4 (G)）。

【0 1 3 4】

（第 1 0 の実施の形態の効果）

以上説明したように、第 1 0 の実施の形態にかかる S O I M O S F E T の製造方法によれば、ソース・ドレインのイオン注入を高濃度で低エネルギーと低濃度で高エネルギーの 2 度に分けて行うことにより、第 8, 第 9 の実施の形態よりも短チャネル効果を抑制することができ、サイドウォール膜厚ばらつきによる特性変動がないより短いチャネル長の S O I M O S F E T を実現することができる。

【0 1 3 5】

また、 10^{20} cm^{-3} 以上の高濃度のソース・ドレインを浅くすることにより、深い部分でのソース・ドレインの横方向拡散が抑えられ、ソース・ドレイン全体が高濃度の場合に比べ短チャネル効果が改善されるという効果が得られる。また、深い部分にソース・ドレインの不純物を注入することにより、ソース・ドレイン部の縦方向に p n 接合をなくし、C o シリサイド後にソースとドレイン間でリーク電流が発生するが防止される。

【0 1 3 6】

（第 1 1 の実施の形態）

図 1 5 は、本発明の第 1 1 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。第 1 1 の実施の形態においては、第 8 の実施の形態の図 1 2 (A) から図 1 2 (C) までと同様の工程とな

るため、説明を省略する。

【0137】

次に、CVD法によって10～30nmの SiO_2 膜、あるいは SiN 膜25を形成した後、nMOS及びpMOS領域に、イオン注入によりAs及び BF_2 を導入し、nMOSFETのS/D 20a及びpMOSFETのS/D 20bを形成する。このときのエネルギーとしては、薄いソース・ドレインのシリコン層3内に全ての不純物が導入されるようなエネルギーを用い、ドーズ量としては、ソース・ドレインの不純物濃度が 10^{20} cm^{-3} 以上になる以上になる程度とする(図15(D))。

【0138】

次に、CVD法によって40nmの SiO_2 膜、あるいは SiN 膜を形成し、反応性イオンエッチング(RIE)によりエッチバックを行ない、サイドウォール21を形成する。この後、急速加熱装置(RTA)を用い、比較的低温での例えば950℃で10秒間の熱処理を行なう(図15(E))。

【0139】

この後、Cοシリサイド工程を経て、ソース・ドレイン上及びゲート上にCοシリサイド13を形成し、完全空乏型SOI CMOSFETが形成される(図15(F))。

【0140】

(第11の実施の形態の効果)

以上説明したように、第11の実施の形態にかかるSOI MOSFETの製造方法によれば、薄いサイド・ウォール膜を形成した後にソース・ドレインのイオン注入を行うことにより、第8、第9の実施の形態よりも短チャネル効果を抑制しつつ、サイドウォール膜厚ばらつきによる特性変動がない短いチャネル長のSOI MOSFETが得られる。

【0141】

従来技術においては、1000Å程度と厚いサイドウォール形成後にソース・ドレインのイオン注入を行うことで、膜厚ばらつきによりトランジスタ特性がばらついていた。

【 0 1 4 2 】

しかし、第 1 1 の実施の形態においては、熱処理温度の低減、不純物濃度の低減をすることにより、ソース・ドレインの横方向拡散を抑制しているため、サイドウォールの膜厚を 1 0 0 Å から 2 0 0 Å と薄くすることができる。このため、膜厚のばらつきも小さく、かつサイドウォールエッチング前にイオン注入を行うことで、エッチングによる膜厚のばらつきもなくなることができるという効果が得られる。更に、サイドウォールの膜厚が薄いため、nMOS と pMOS の不純物拡散長の違いも小さくなるため、サイドウォール膜厚の設定も行いやすくなる。

【 0 1 4 3 】

更に、サイドウォール膜形成後にソース・ドレインのイオン注入を行うメリットとして、イオン注入後の後処理工程でアッシング、HF 処理が行われた場合、ソース・ドレイン部のシリコン層厚が減少してしまうという問題が生じるが、本実施の形態ではシリコン層の減少が起きないことも挙げられる。シリコン層厚が薄くなる程、C o シリサイドによる低抵抗化が難しくなる、コンタクトエッチング時に突き抜けが生じるという問題が発生するが、この対策になる。

【 0 1 4 4 】

(第 1 2 の実施の形態)

図 1 6 は、本発明の第 1 2 の実施の形態の電界効果トランジスタの製造方法を説明するための図であり、断面図を用いて概略的に示している。左側の図がトランジスタ部のゲート電極に対して垂直方向の断面図、右側の図が左側の図で a - b 線でゲート電極の中心部を切断した断面図である。第 1 2 の実施の形態においては、第 8 の実施の形態の図 1 2 (A) から図 1 2 (C) までと同様の工程となるため、説明を省略する。

【 0 1 4 5 】

次に、ホトリソ工程は経ず、全面にイオン注入により As 及び P を導入する。ドーズ量としては、SOI 中の不純物濃度が $1 0^{18}$ から $1 0^{19} \text{ cm}^{-3}$ になる程度とする。これにより、nMOSFET の S/D 及び pMOSFET の S/D となる部分が N 層 2 4 となる (図 1 6 (D))。

【 0 1 4 6 】

次に、CVD法によって10～30nmのSiO₂膜、あるいはSiN膜25を形成し、nMOS領域及びpMOS領域に、イオン注入によりAs及びBF₂を導入し、nMOSFETのS/D 20a及びpMOSFETのS/D 20bを形成する。このときのエネルギーとしては、薄いソース・ドレインのシリコン層3内に全ての不純物が導入されるようなエネルギーを用い、ドーズ量としては、ソース・ドレインの不純物濃度が 10^{20} cm^{-3} 以上となる程度とする。SiO₂膜、あるいはSiN膜25の膜厚は、pMOSFETがオフセットにならない膜厚とする。また、nMOSFETのS/D 20a及びpMOSFETのS/D 20bとボディ領域8との間には、前工程で形成されたN層24'がある。このN層24'は、nMOSではLDDとして、pMOSではハローとして働く(図16(E))。

【0147】

次に、CVD法によって40nm程度のSiO₂膜、あるいはSiN膜を形成した後、反応性イオンエッチング(RIE)によりエッチバックを行ない、サイドウォール21を形成する。

【0148】

この後RTAを用い、比較的低温で、例えば950℃で10秒間の熱処理を行なう(図16(F))。

【0149】

この後、Cοシリサイド工程を経て、ソース・ドレイン12上及びゲート電極上にCοシリサイド13を形成し、完全空乏型SOI CMOSFETが形成される(図16(G))。

【0150】

(第12の実施の形態の効果)

以上説明したように、第12の実施の形態にかかるSOI MOSFETの製造方法によれば、nMOSでのLDDとpMOSでのハローを形成するためのイオン注入をホトリソなしに1回で導入すること、薄いサイドウォール膜を形成した後にソース・ドレインのイオン注入を行うことにより、第8から第11までの実施の形態に比べて、nMOS、pMOSでの短チャネル効果の抑制を独立に制

御できるようになり、サイドウォールの膜厚ばらつきによる特性変動がない短いチャネル長のSOI MOSFETが得られる。

【0151】

第8から第11までの実施の形態においては、nMOSとpMOSの短チャネル効果の差は少ないという前提になっていた。しかし、第12の実施の形態は、よりゲート長の短いMOSFETにおいて、nMOSとpMOSの短チャネル効果の差が見られるようになった場合に効果が大きくなる。nMOSとpMOSを比較した場合、不純物種の影響によりpMOSの方が短チャネル効果に弱いため、第1のサイドウォール膜はpMOSでゲートとソース・ドレインがオフセット構造にならない程度の膜厚で形成する。この場合、nMOSでは不純物の横方向拡散長が短いため、若干オフセット構造になる。第12の実施の形態の方法では、全面にLDD構造と同等の濃度でn型の不純物をイオン注入することにより、nMOSにおいてはLDD構造となりオフセット構造ではなくなり、pMOSではハロー構造となることにより短チャネル効果が改善できる。これにより、本来nMOSのLDDホトリソ、nMOSのLDDイオン注入、pMOSのハローホトリソ、pMOSのハローイオン注入により2回のホトリソ、2回のイオン注入が必要になる所を、1回のイオン注入で同等の効果が得られるという工程簡略化が可能になるという効果も得られる。

【0152】

なお、第12の実施の形態では、当然のことながら第11の実施の形態と同等の効果も得られる。

【0153】

以上説明した第1から第12の実施の形態の説明の中では、基板としていずれもSIMOXウエハを用いているが、本発明はこれに限定されるものではなく、張り合わせによるSOI基板を用いてもよく、更に、通常バルクのシリコンウエハを用いてもよい。また、埋め込み酸化膜の厚さ、シリコン層の厚さなども限定するものではなく、様々な厚さのものを使っても同様の効果が得られる。更に、電界効果トランジスタの寸法、熱処理温度や時間などもこれに限定するものではない。

【 0 1 5 4 】

以上、添付図面を参照しながら本発明の電界効果トランジスタの製造方法の好適な実施形態について説明したが、本発明はこれらの例に限定されない。いわゆる当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【 0 1 5 5 】

【発明の効果】

本発明の第 1 の構成によれば、ゲート長が小さく、寄生トランジスタの影響が無くてハンプが発生しにくく、隣接した nMOS と pMOS との間隔を小さくできる電界効果トランジスタの製造方法が提供できた。

【 0 1 5 6 】

また本発明の第 2 の構成によれば、短チャネル効果を抑制し、サイドウォールの膜厚のばらつきによる電流値のばらつきの少ない電界効果トランジスタの製造方法が提供できた。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の第 1 の実施の形態の方法を説明するための図 (A) ～ (D) である。

【図 2】

図 2 は、本発明の第 1 の実施の形態の方法を説明するための図 (E) ～ (H) である。

【図 3】

図 3 は、nMOS と pMOS のトランジスタとイオン注入との関係を説明するための上面図 (A) と断面図 (B) である。

【図 4】

図 4 は、本発明の第 3 の実施の形態の方法を説明するための図 (A) ～ (E) である。

【図 5】

図 5 は、第 1 ～第 4 の実施の形態における埋め込み酸化膜（BOX）の素子分離領域と、シリコン層のエッジ部との関係を比較する断面図（部分）である。

【図 6】

図 6 は、本発明の第 5 の実施の形態の方法を説明するための図（A）～（D）である。

【図 7】

図 7 は、本発明の第 5 の実施の形態の方法を説明するための図（E）～（I）である。

【図 8】

図 8 は、本発明の第 6 の実施の形態の方法を説明するための図（A）～（D）である。

【図 9】

図 9 は、本発明の第 6 の実施の形態の方法を説明するための図（E）～（I）である。

【図 1 0】

図 1 0 は、本発明の第 7 の実施の形態の方法を説明するための図（A），（B）である。

【図 1 1】

図 1 1 は、第 5 ～第 7 の実施の形態における埋め込み酸化膜（BOX）の素子分離領域と、シリコン層のエッジ部との関係を比較する断面図（部分）である。

【図 1 2】

図 1 2 は、本発明の第 8 の実施の形態の方法を説明するための図（A）～（D）である。

【図 1 3】

図 1 3 は、本発明の第 8 の実施の形態の方法を説明するための図（E），（F）である。

【図 1 4】

図 1 4 は、本発明の第 1 0 の実施の形態の方法を説明するための図（D）～（G）である。

【図 1 5】

図 1 5 は、本発明の第 1 1 の実施の形態の方法を説明するための図 (D) ~ (F) である。

【図 1 6】

図 1 6 は、本発明の第 1 2 の実施の形態の方法を説明するための図 (D) ~ (G) である。

【図 1 7】

図 1 7 は、ゲート電極と、ソース、ドレインがあるボディ領域の関係を、素子の上部から見た図である。

【図 1 8】

図 1 8 は、アクティブ領域と、チャネルストップのイオン注入のためのレジストパターンとの関係を示す図である。

【図 1 9】

図 1 9 は、S O I 基板上に形成された素子の断面図で、チャネルストップ必要領域 (A)，同不要領域 (B)，同未注入領域 (C) が示される。

【図 2 0】

図 2 0 は、従来の方法による M O S F E T のハンプ特性を示す図で、縦軸はドレイン電流 (I_{ds})，横軸はゲート電圧 (V_g) で、実線は主トランジスタ特性、破線は寄生トランジスタ特性である。

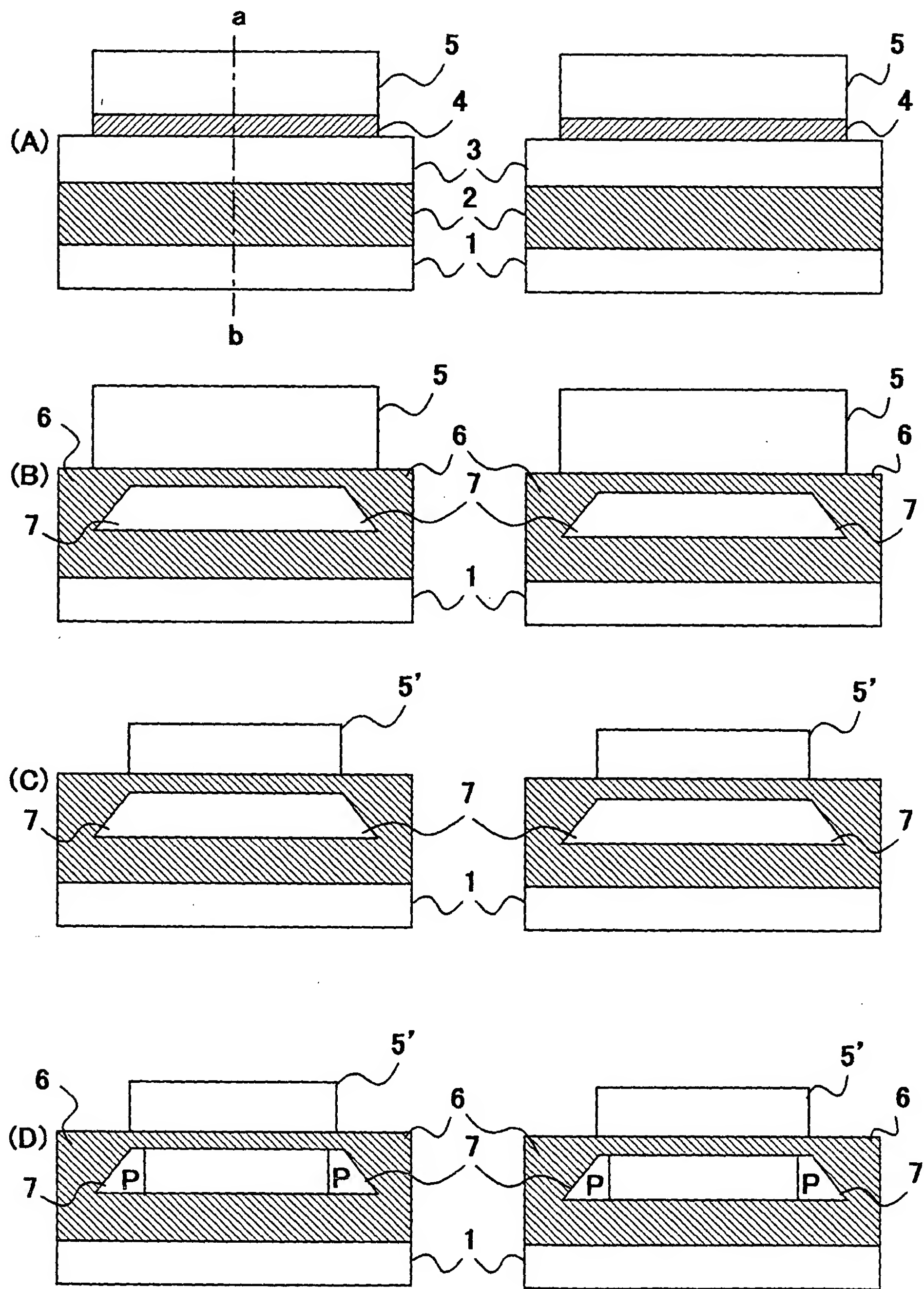
【符号の説明】

- 1 シリコン基板
- 2 埋め込み酸化膜 (B O X)
- 3 シリコン層
- 4 酸化膜
- 5 a シリコン窒化膜
- 5, 5' アクティブ窒化膜
- 6 素子分離領域
- 7 エッジ部
- 8, 8 a, 8 b ボディ領域

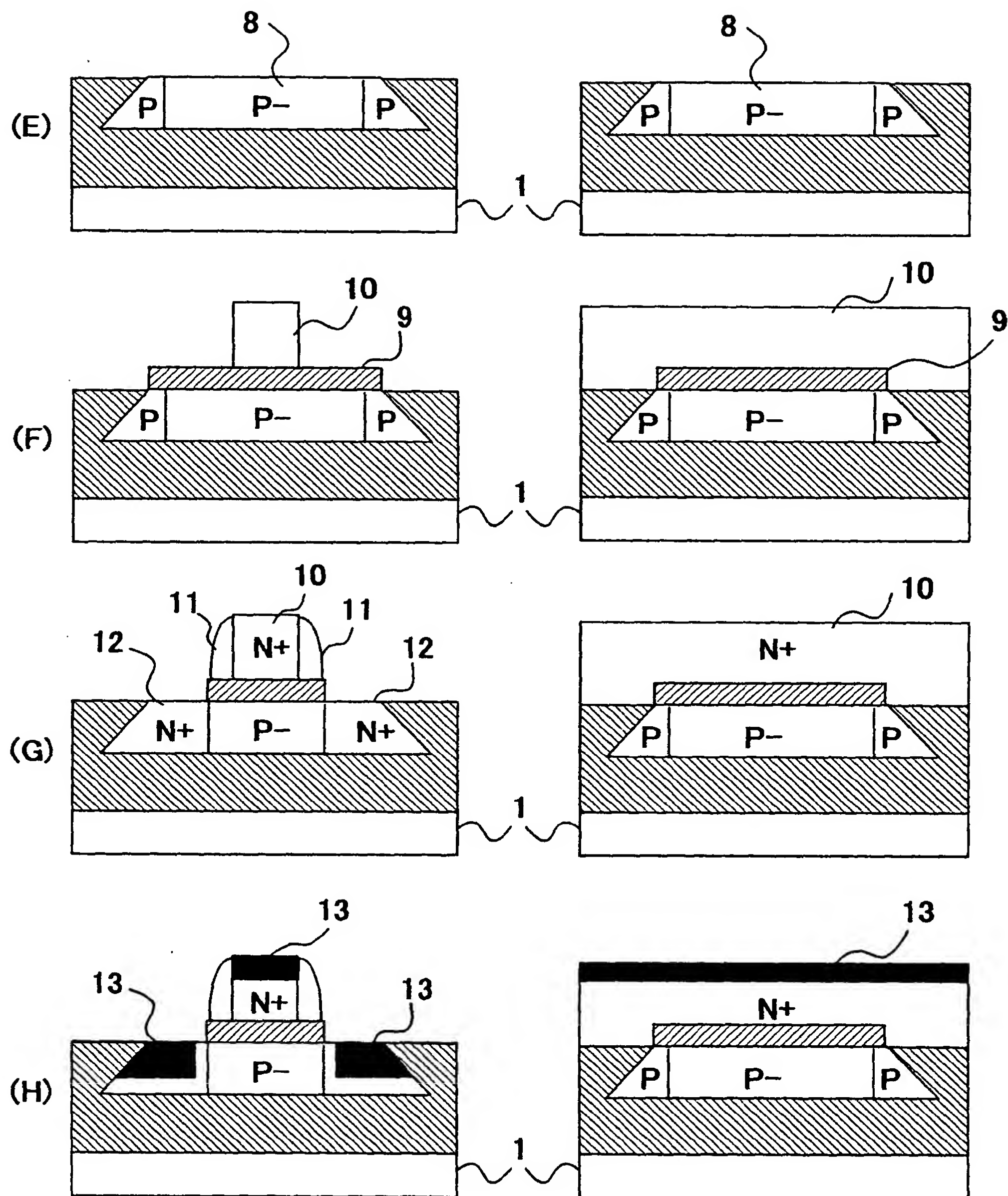
- 9 . ゲート酸化膜
- 1 0 ゲート電極
- 1 1 酸化シリコンのサイドウォール
- 1 2 ソース・ドレイン
- 1 3 C o シリサイド
- 1 4 シリコン窒化膜のサイドウォール
- 1 5 シリコン酸化膜のサイドウォール
- 1 6 酸化シリコンのサイドウォール
- 1 7 ポリシリコンのサイドウォール
- 1 8 a , 1 8 b ポリシリコン膜
- 1 9 a , 1 9 b ポリシリコンのゲート電極
- 2 0 a , 2 0 b シングル・ドレイン
- 2 1 サイドウォール
- 2 2 a , 2 2 b 浅いシングル・ドレイン
- 2 3 a , 2 3 b 深いシングル・ドレイン
- 2 4 , 2 4 ' N 層
- 2 5 酸化シリコン (S i O ₂) または窒化シリコン (S i N) の膜

【書類名】 図面

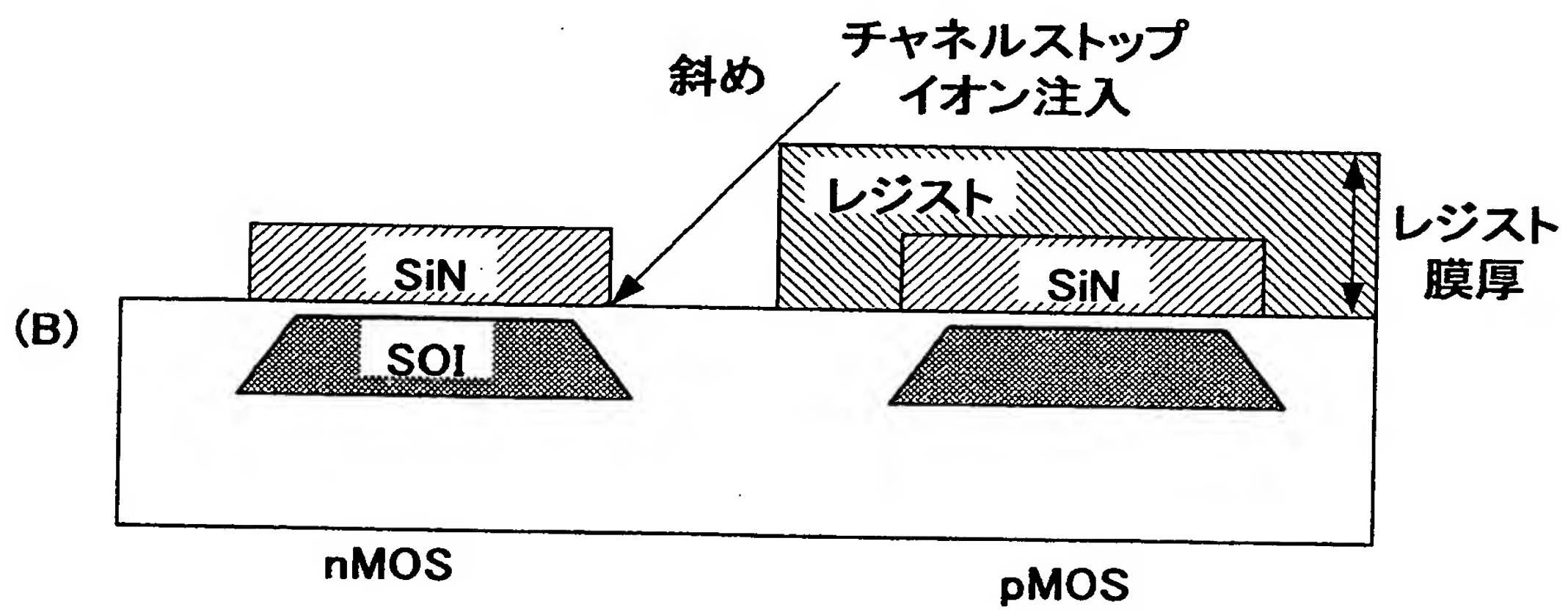
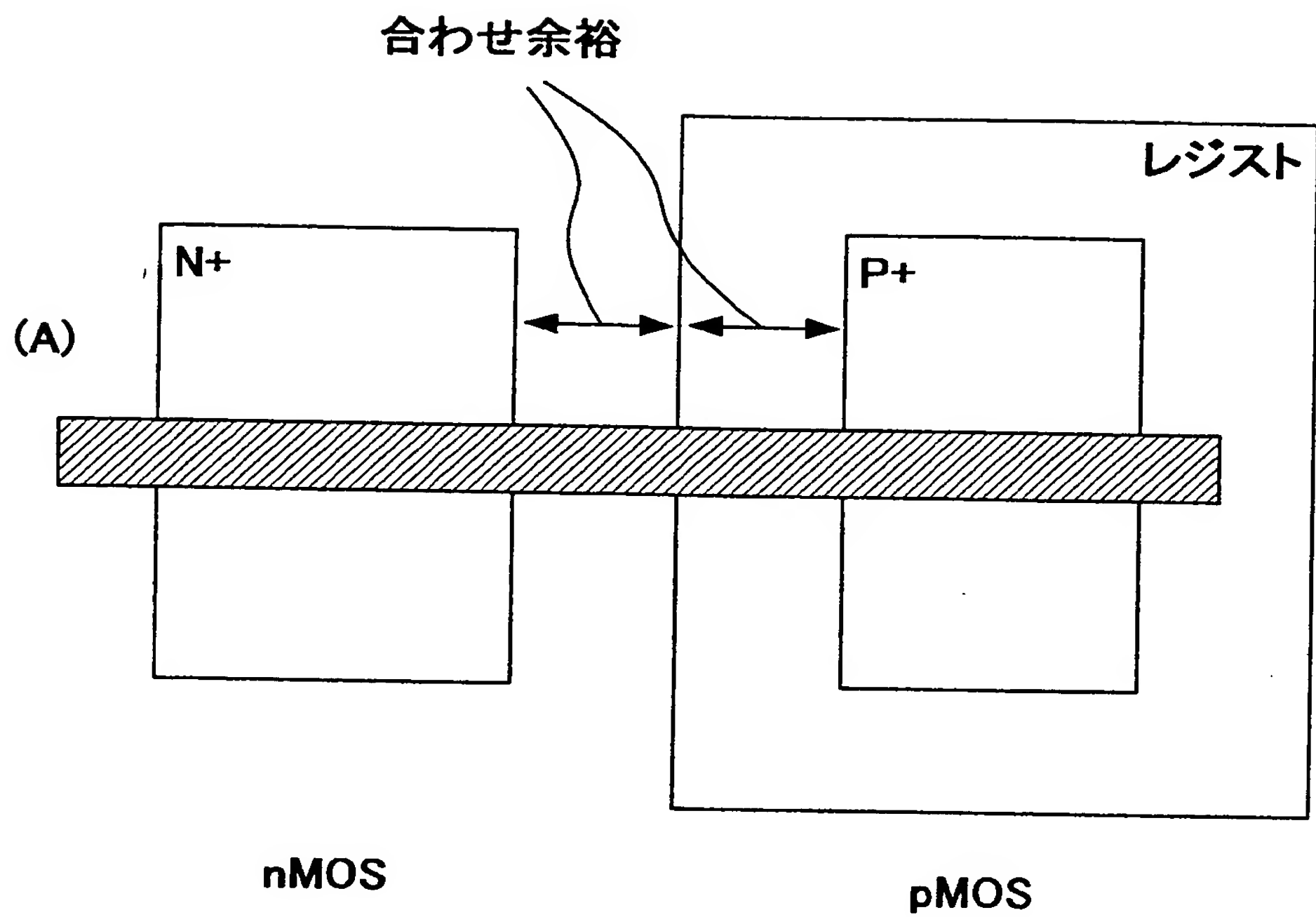
【図 1】



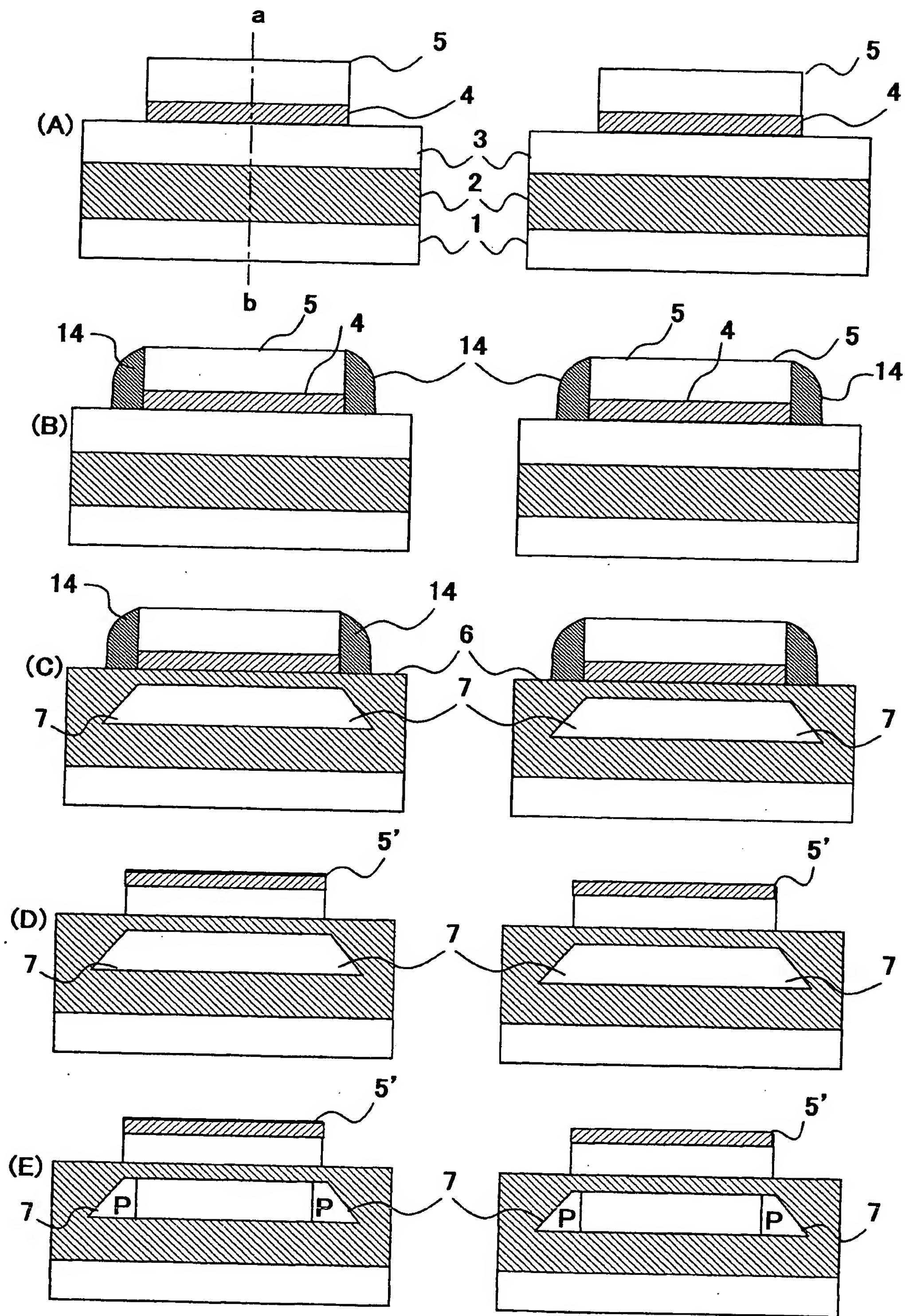
【図 2】



【図 3】

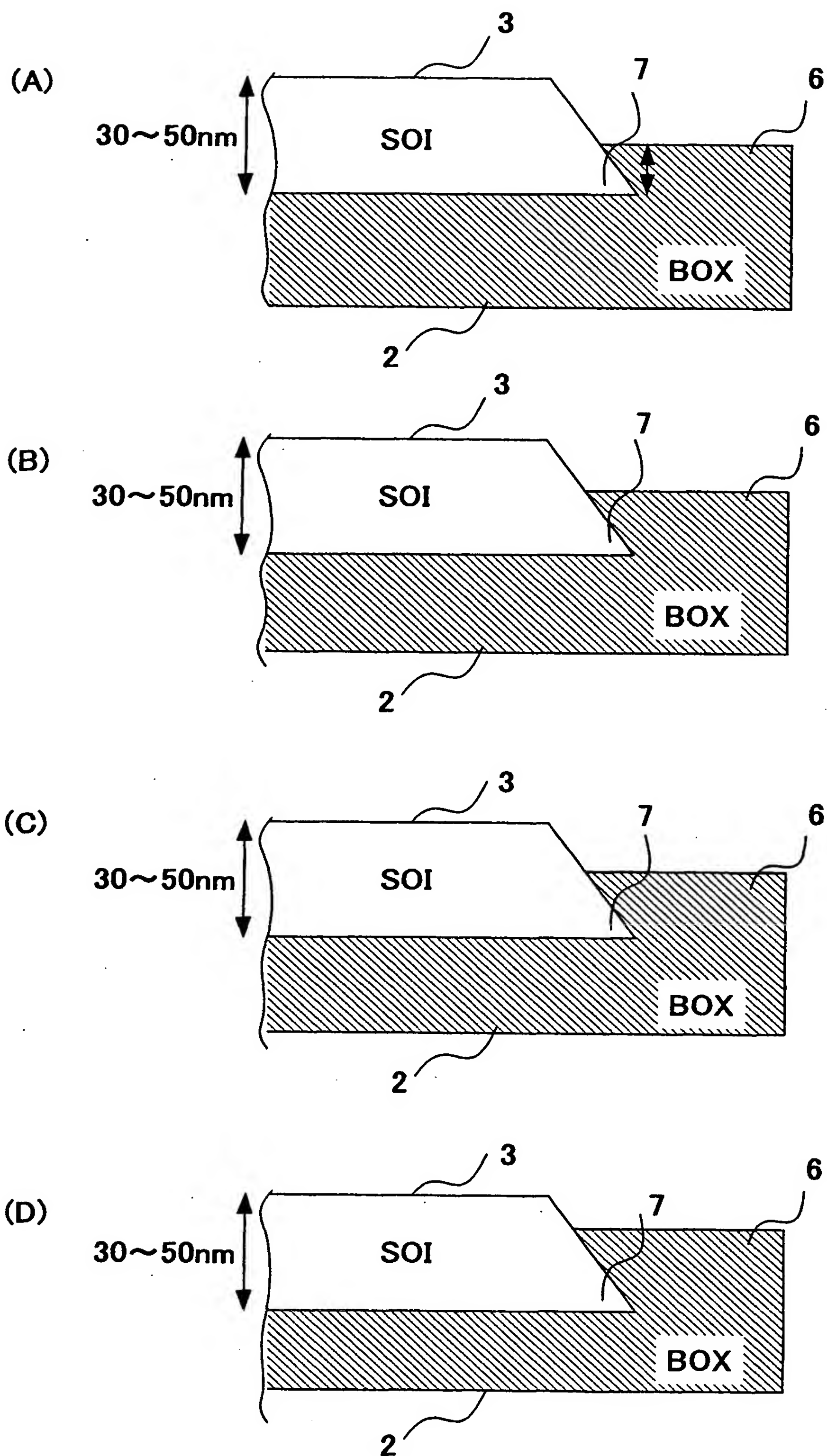


【図 4】

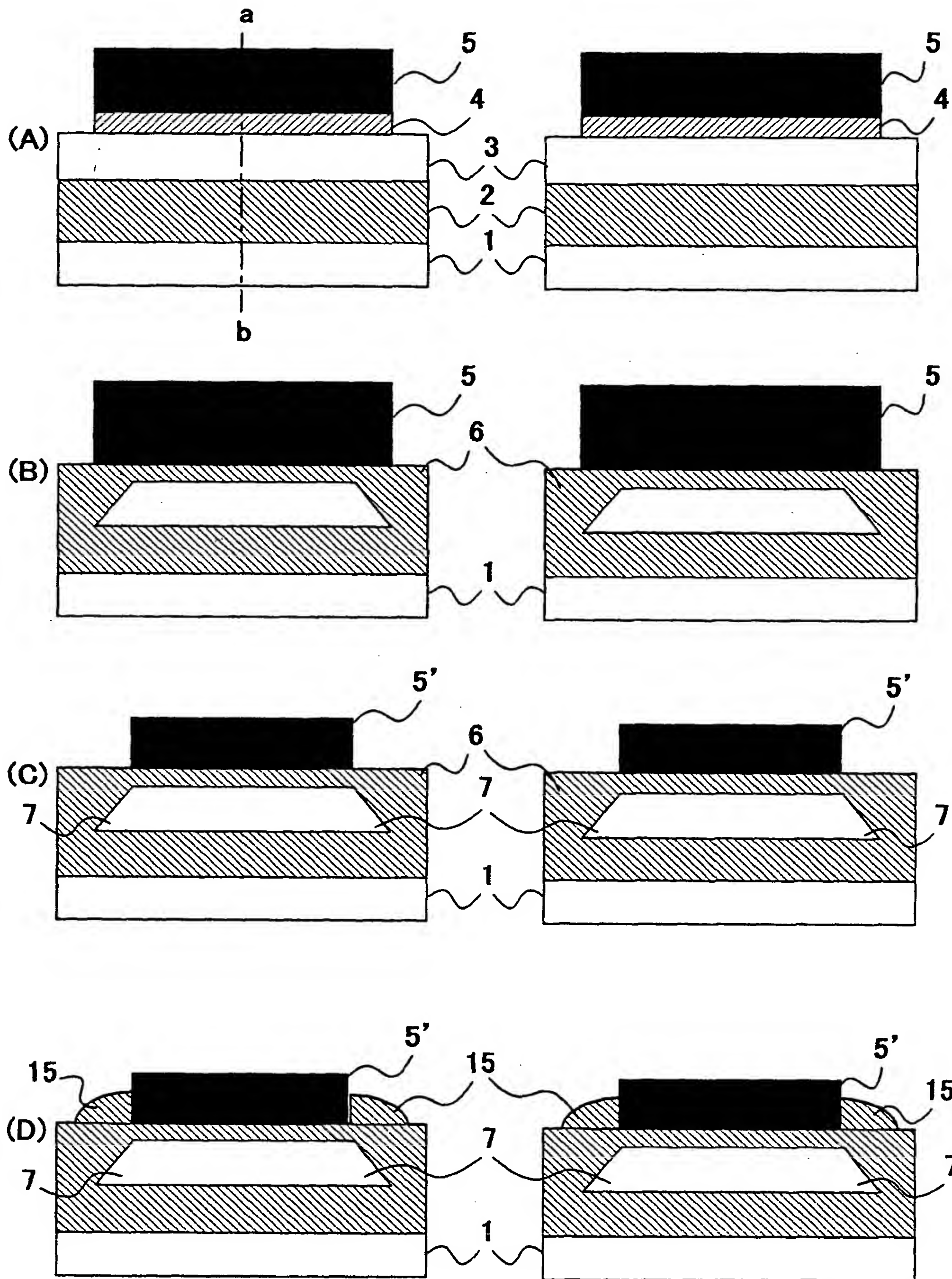


特 2 0 0 1 - 2 7 3 7 3 1

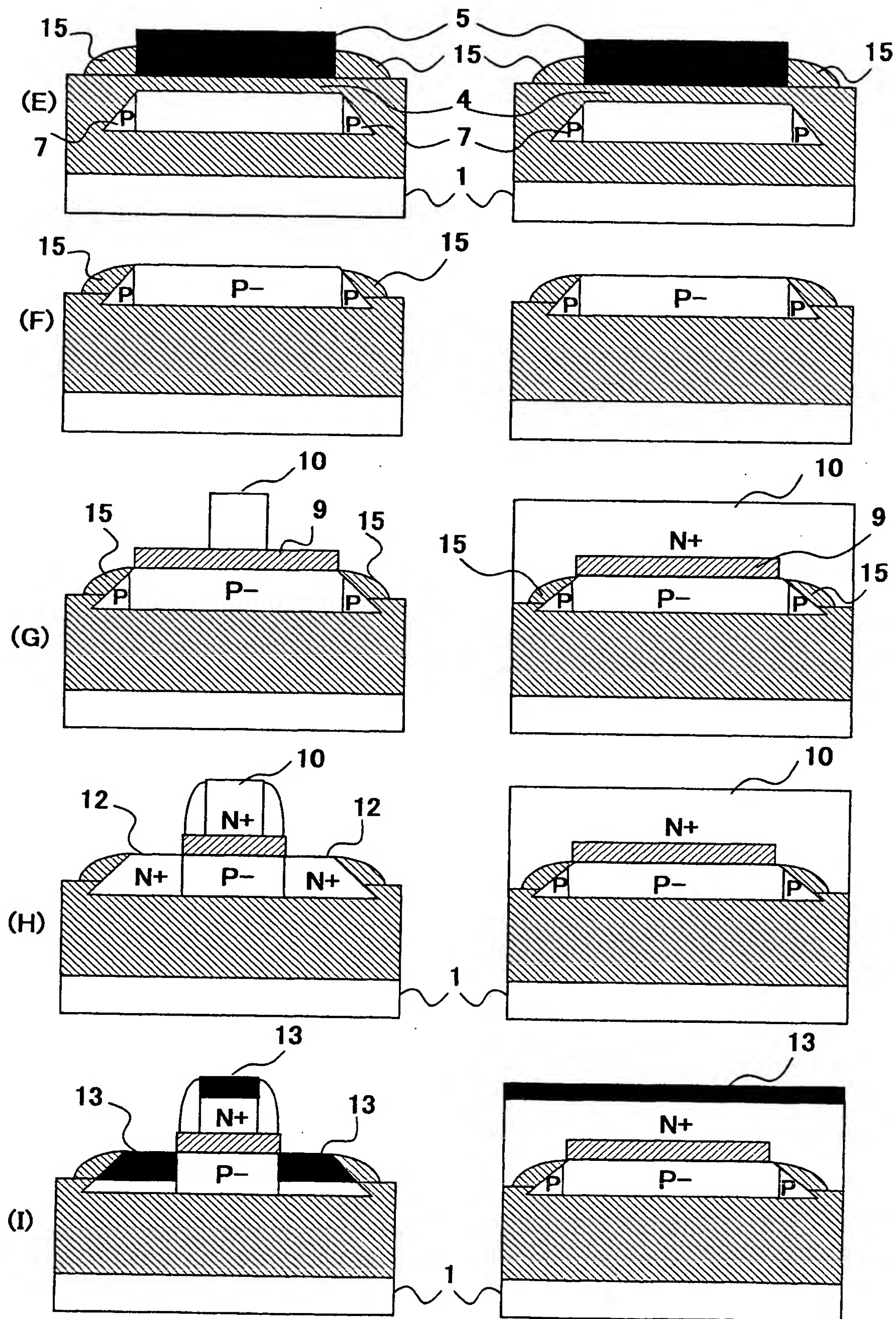
【図 5】



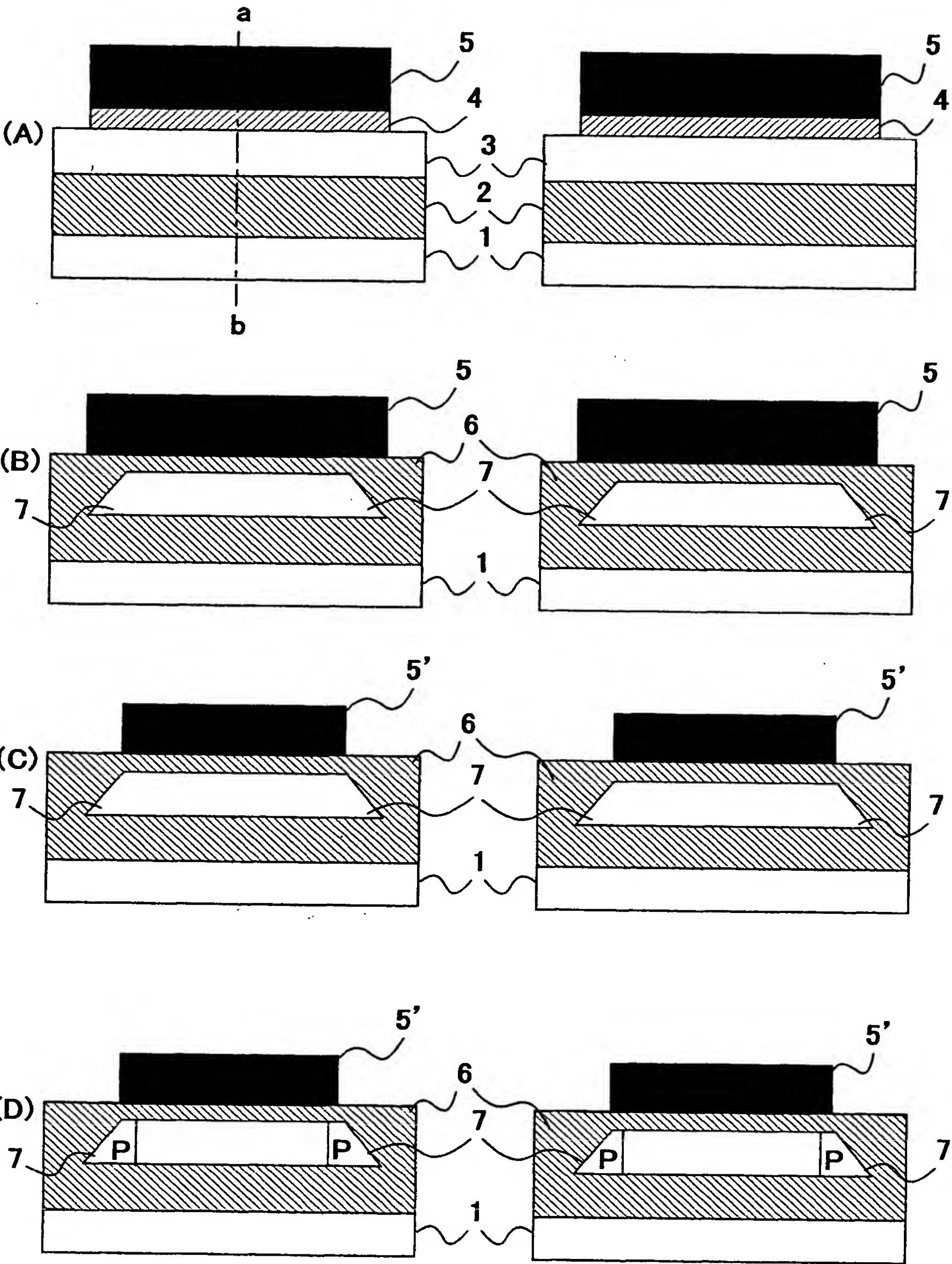
【図 6】



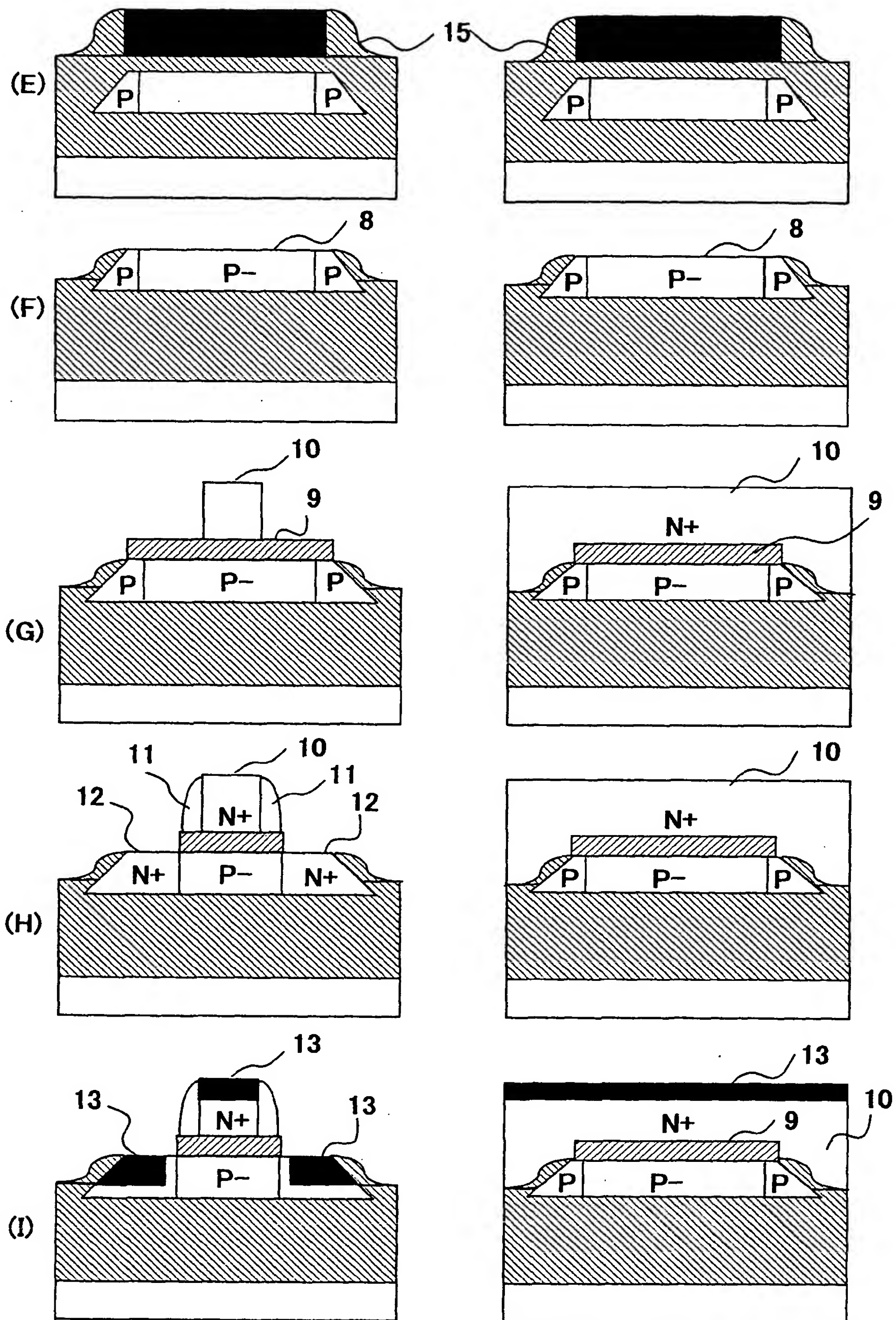
【図 7】



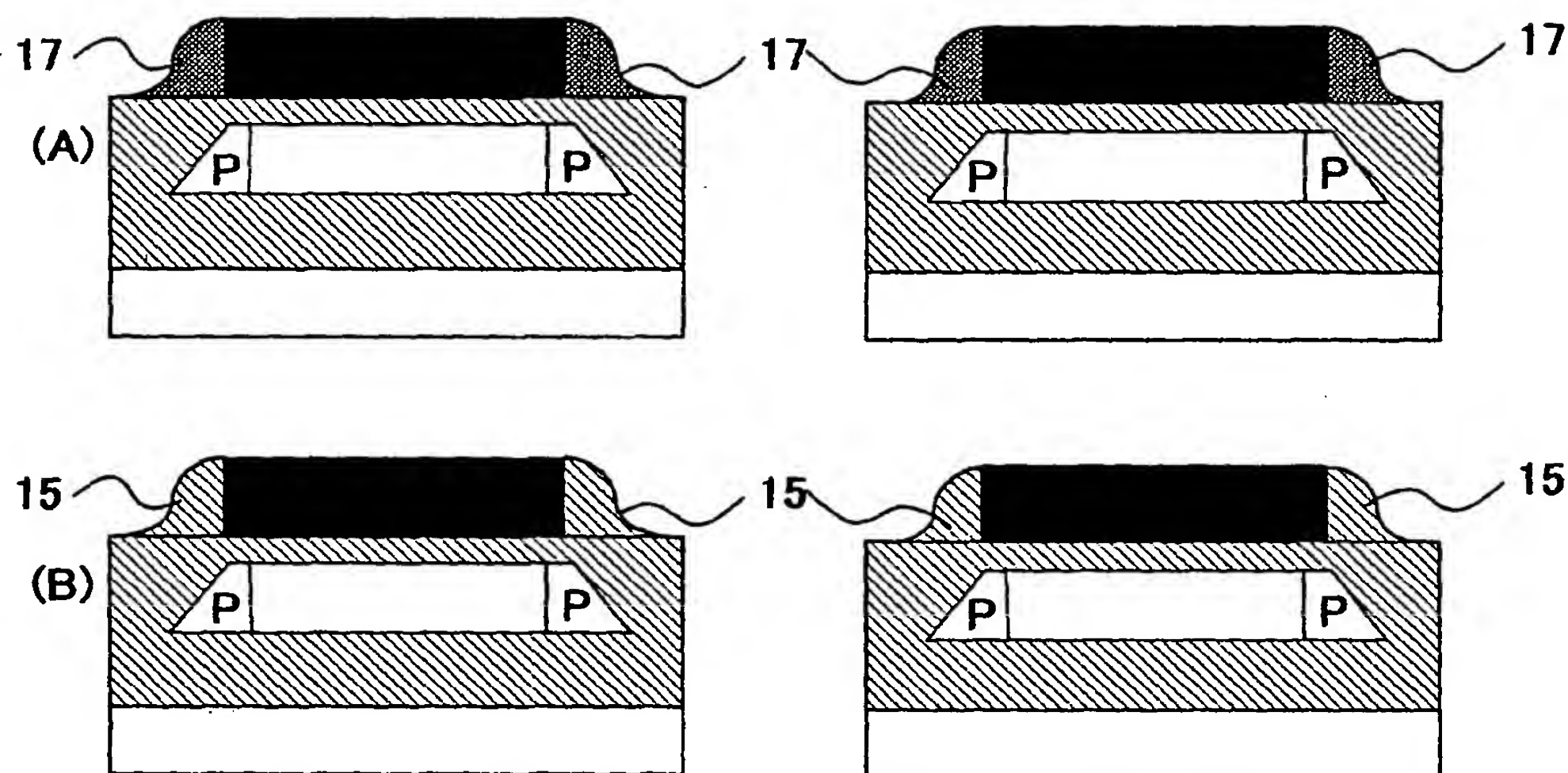
【図 8】



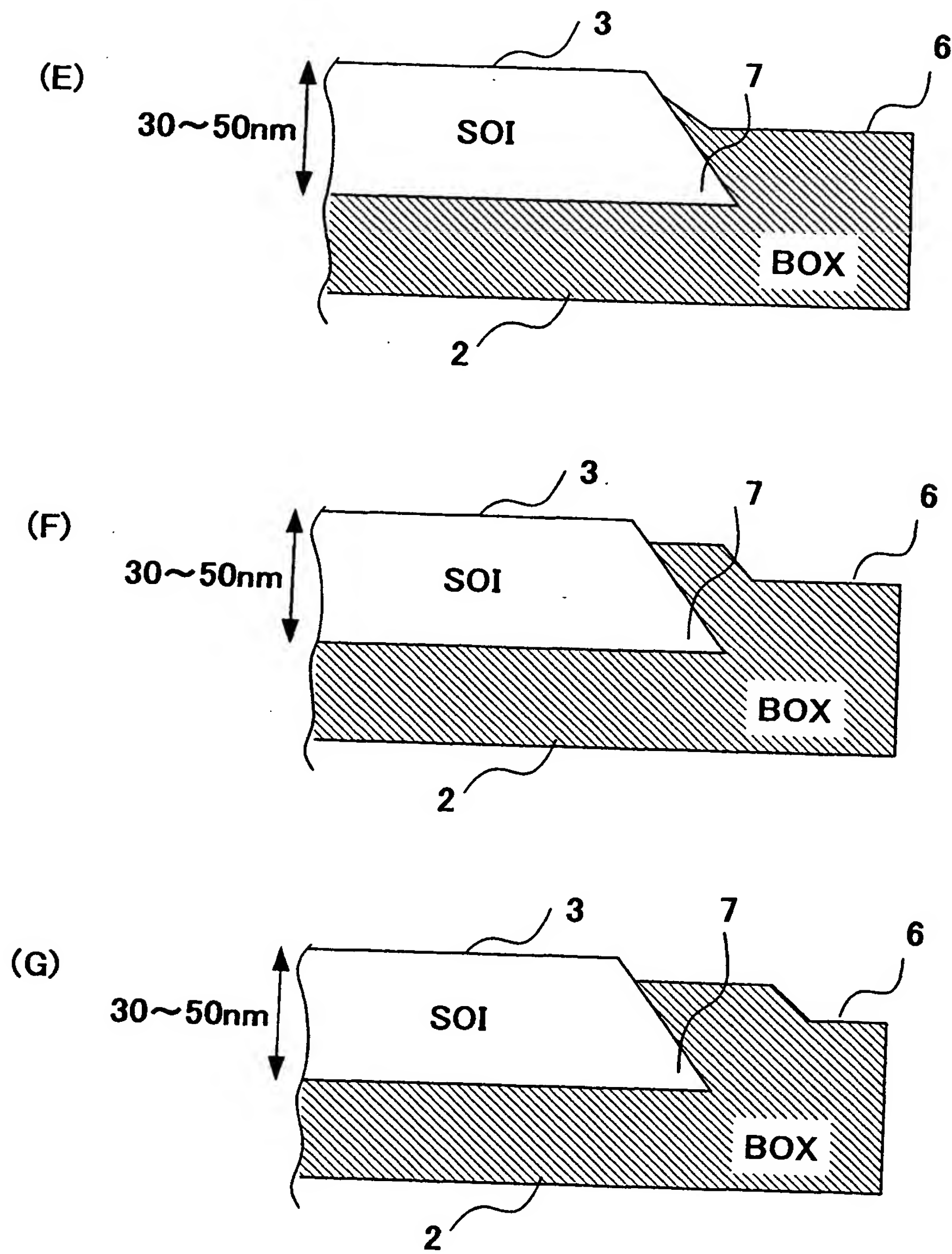
【図 9】



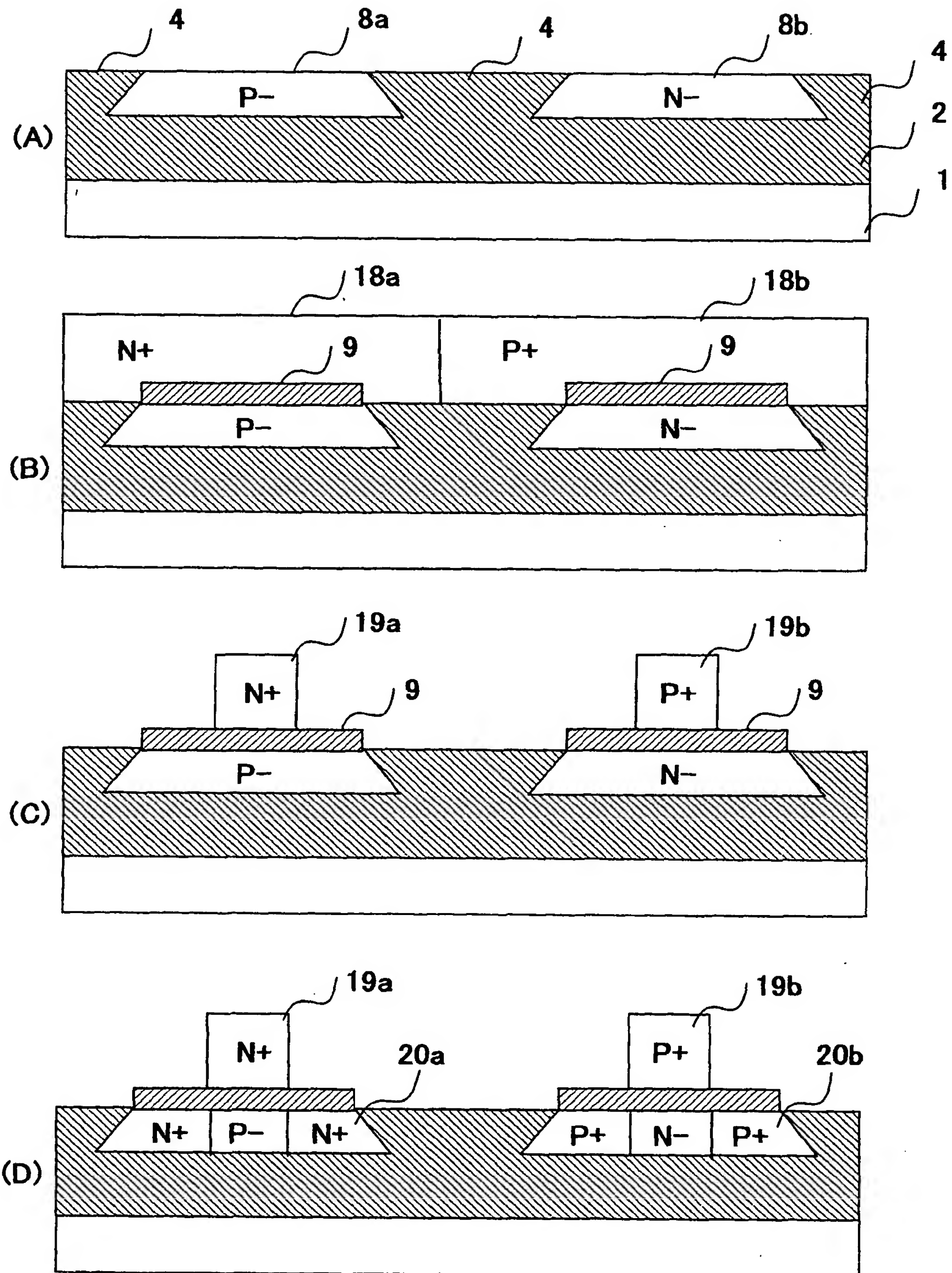
【図 1 0】



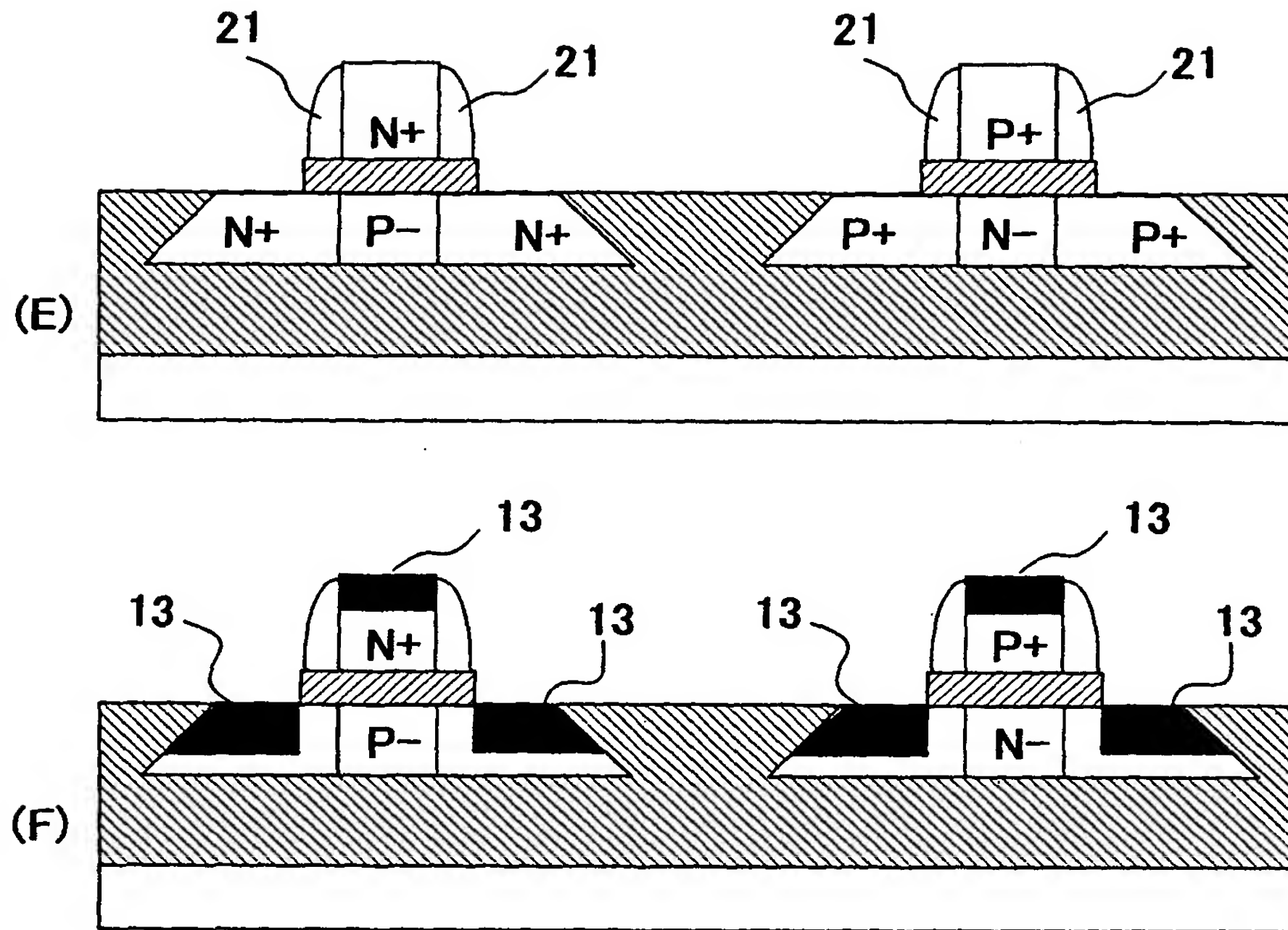
【図 1 1】



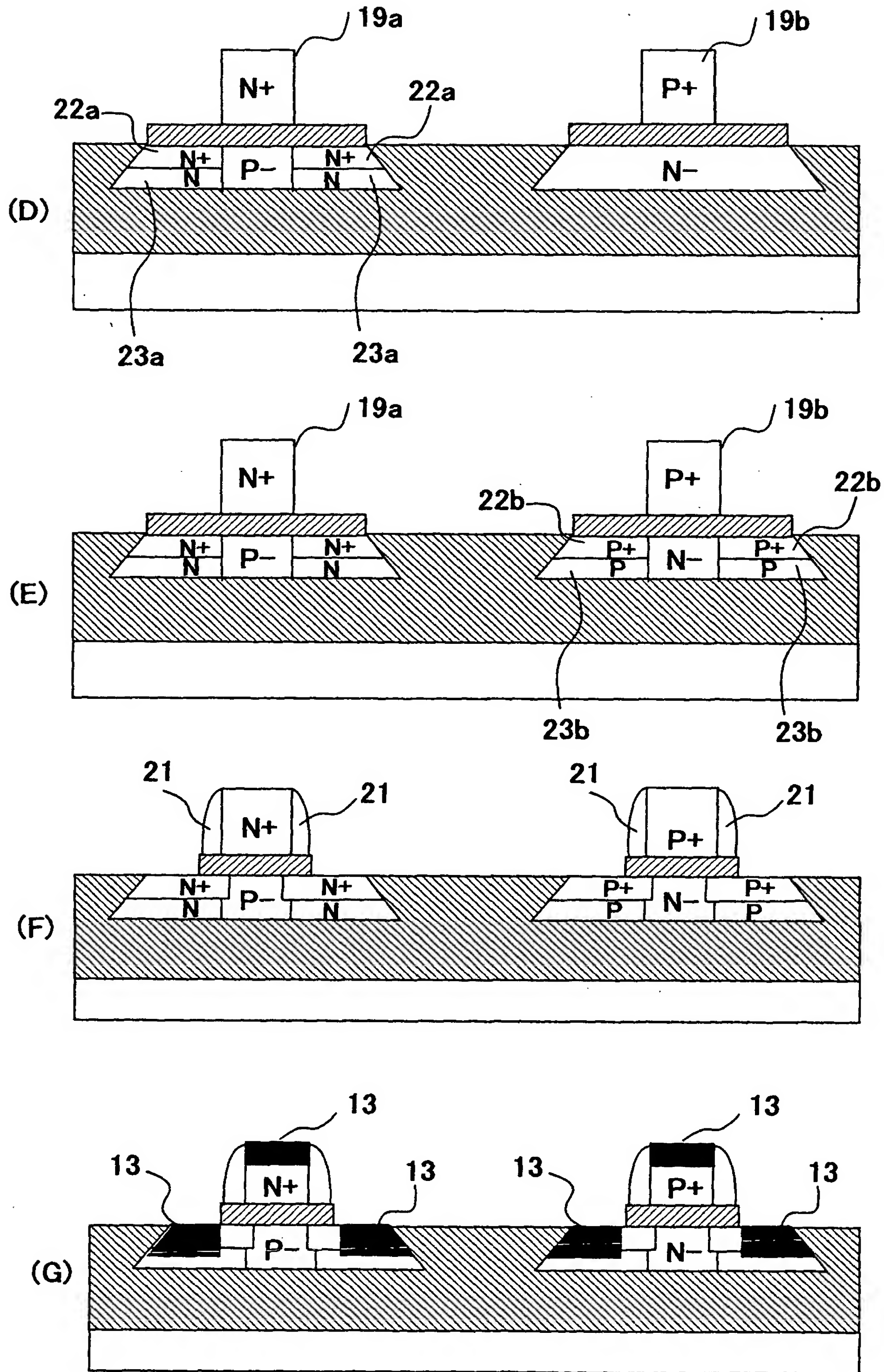
【図 1 2】



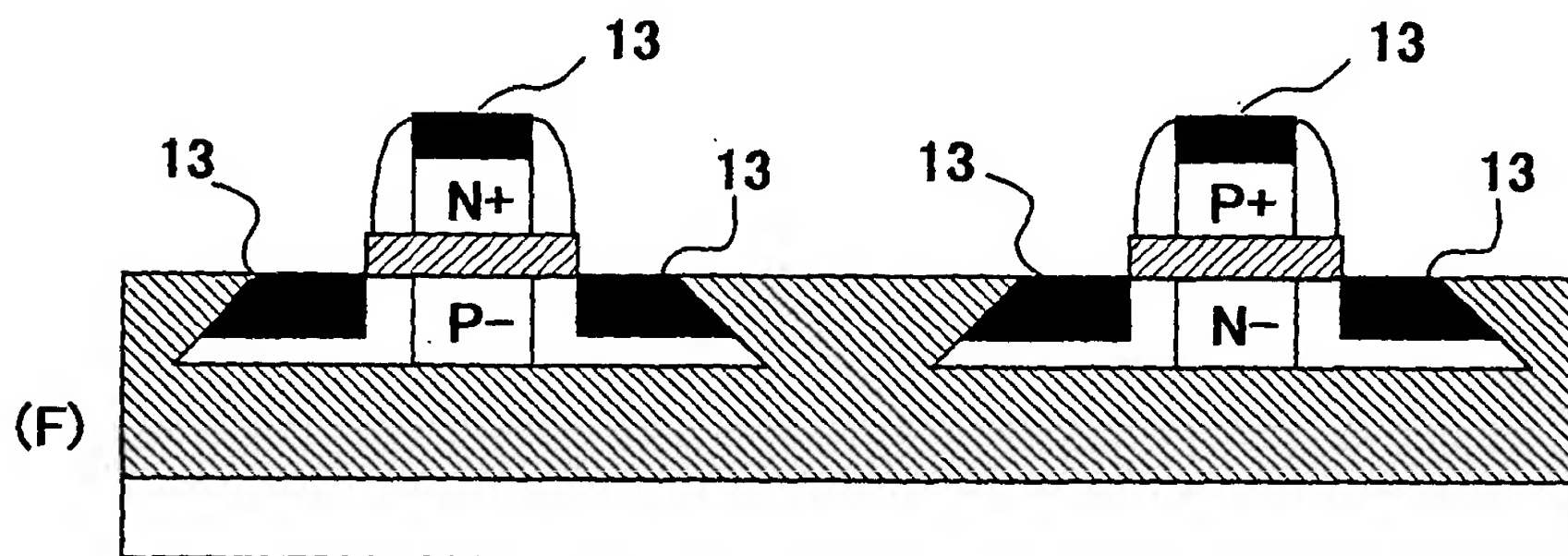
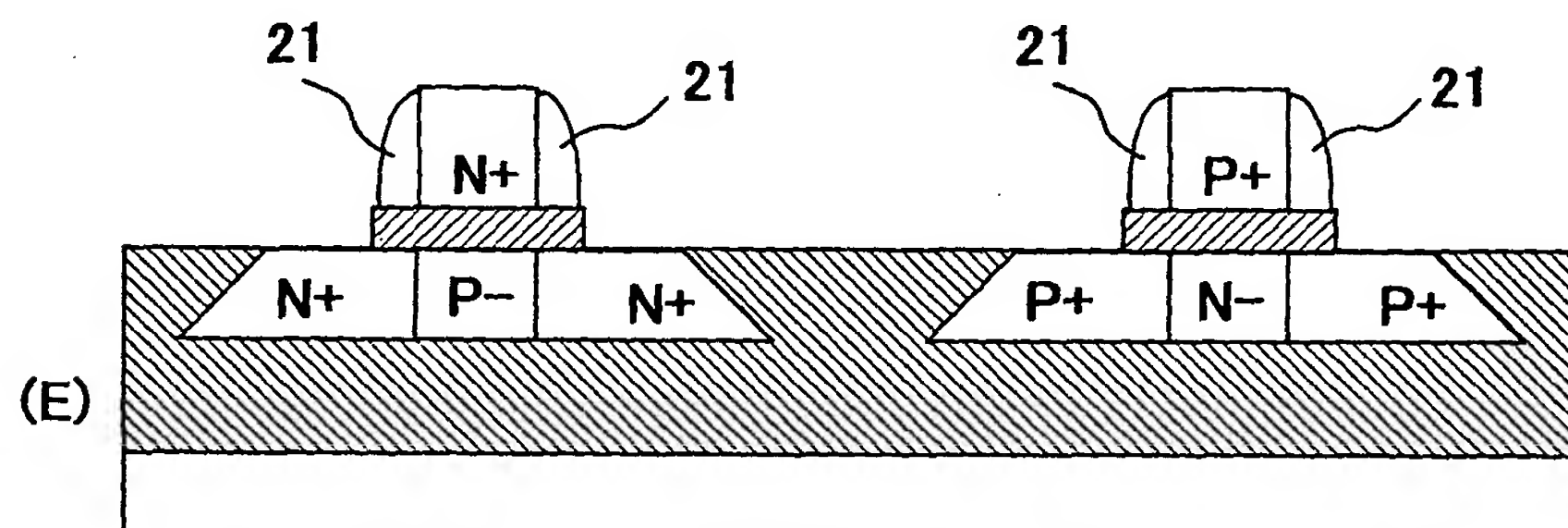
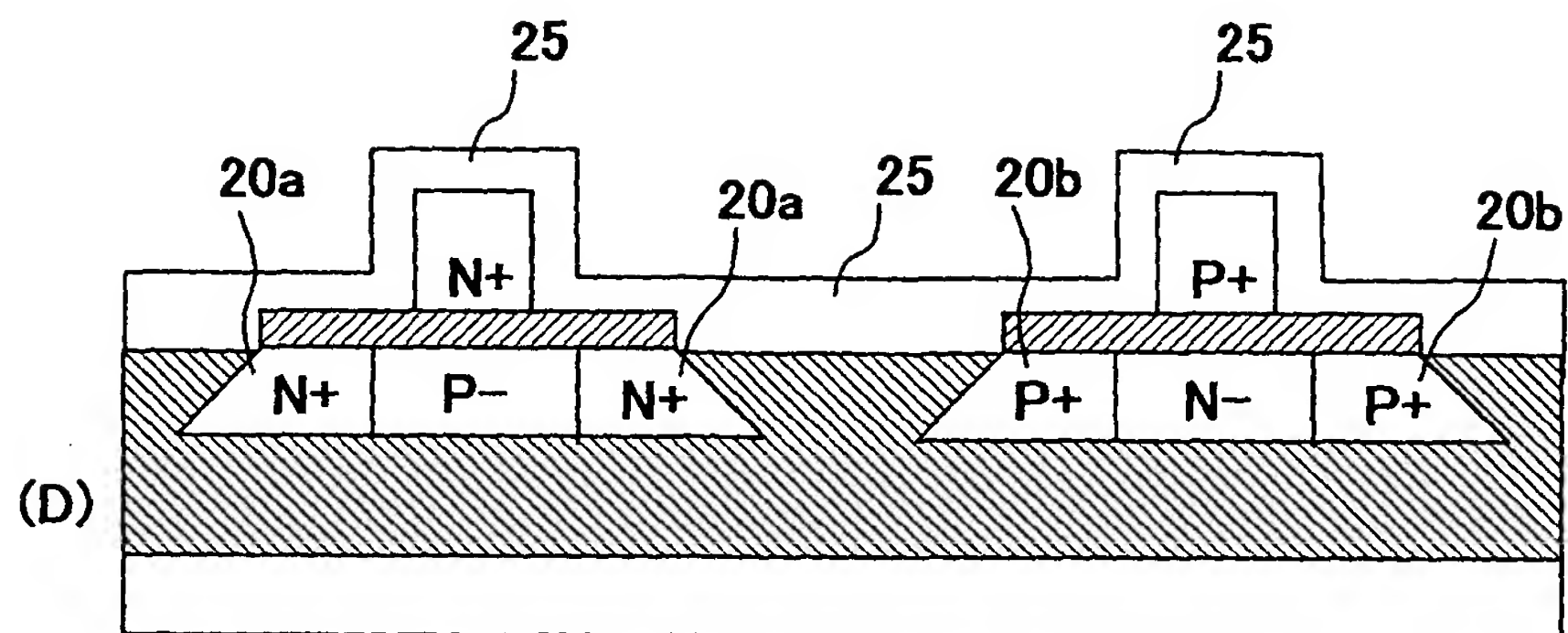
【図 1 3】



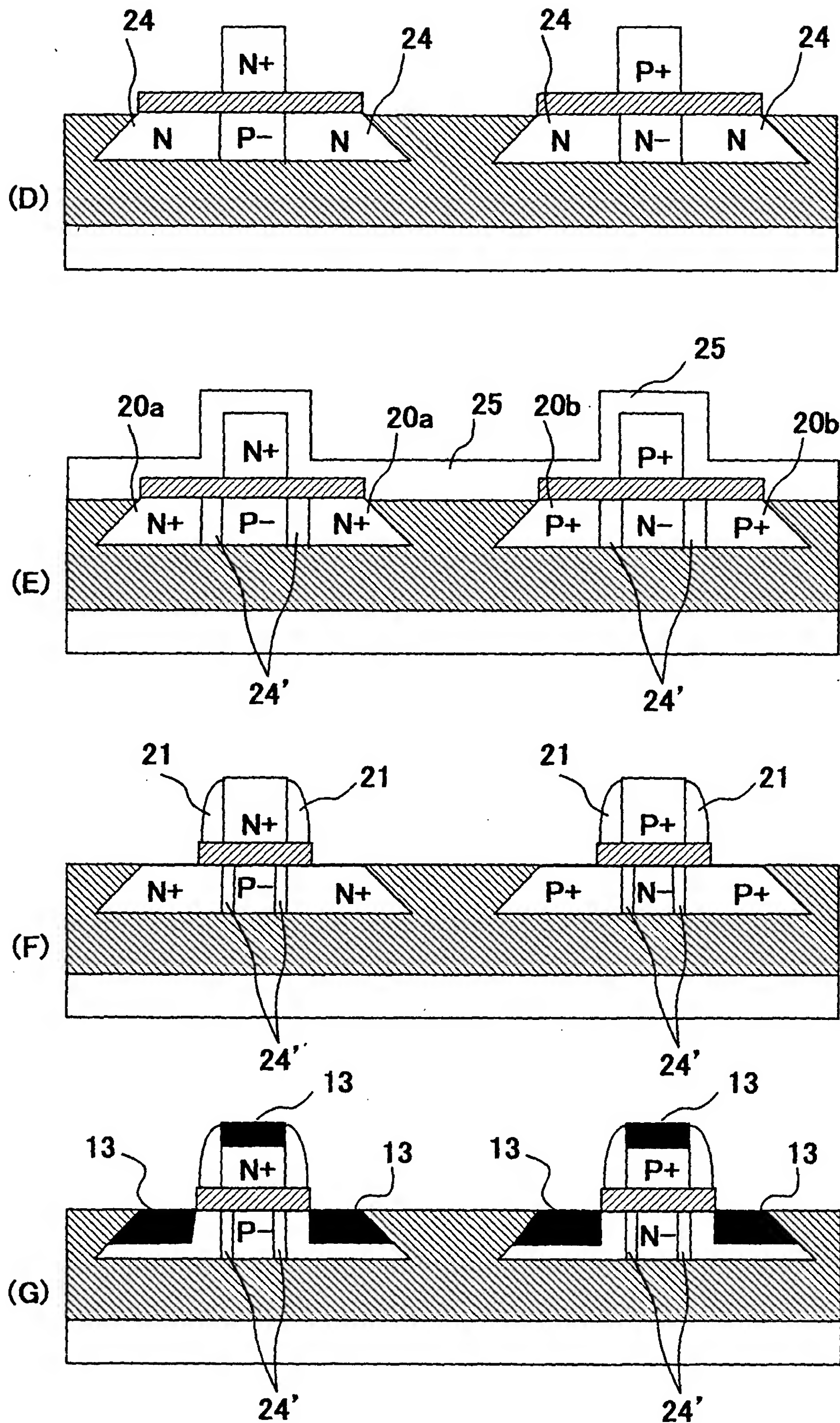
【図 1 4】



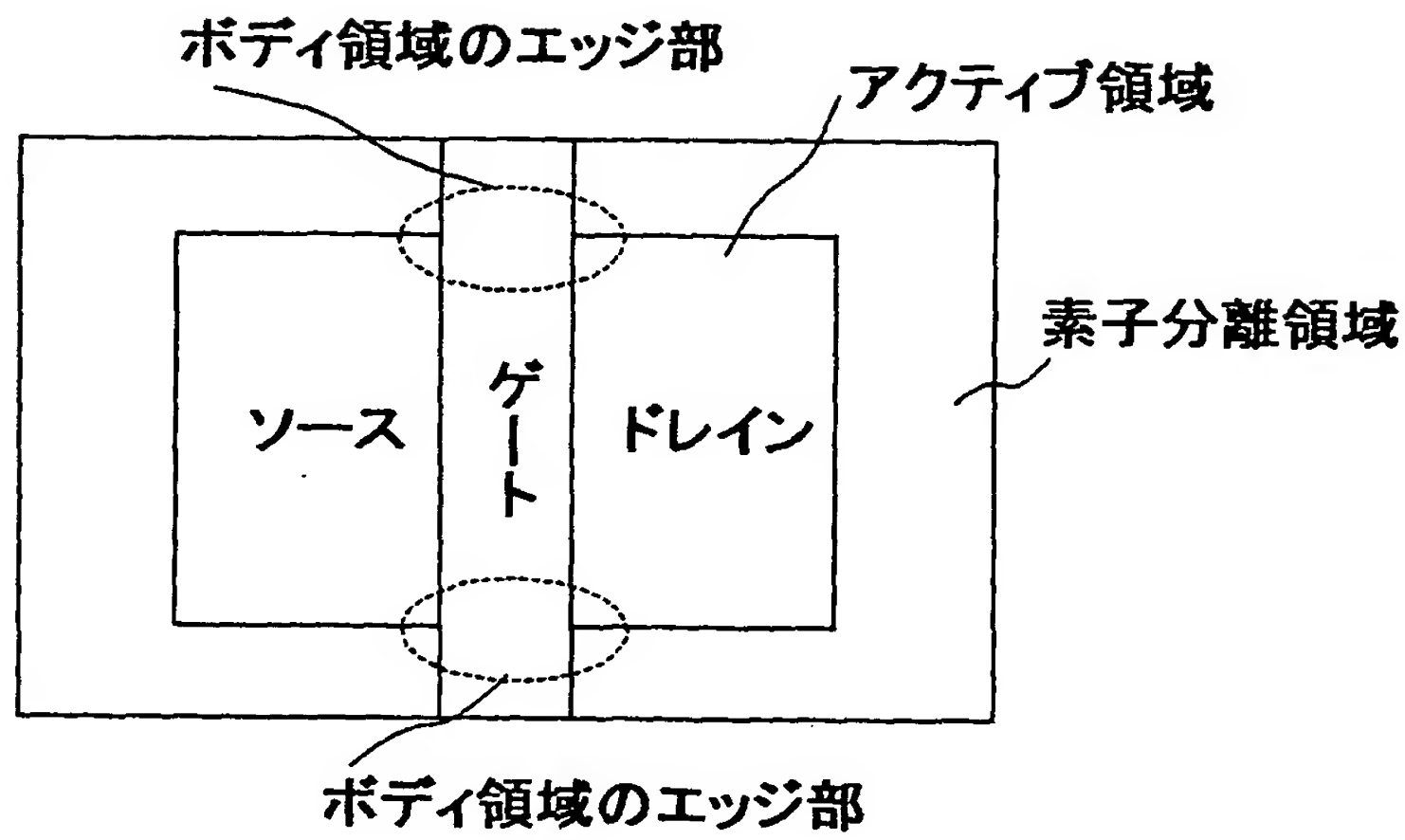
【図 15】



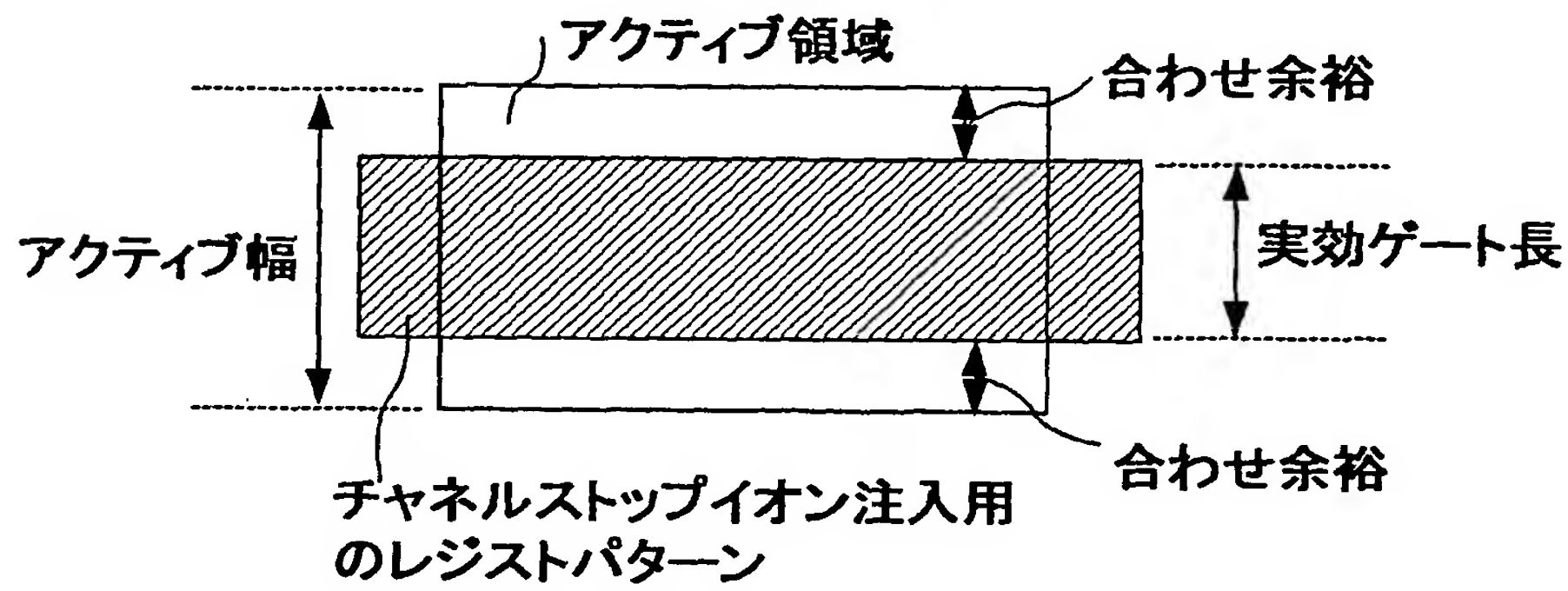
【図 16】



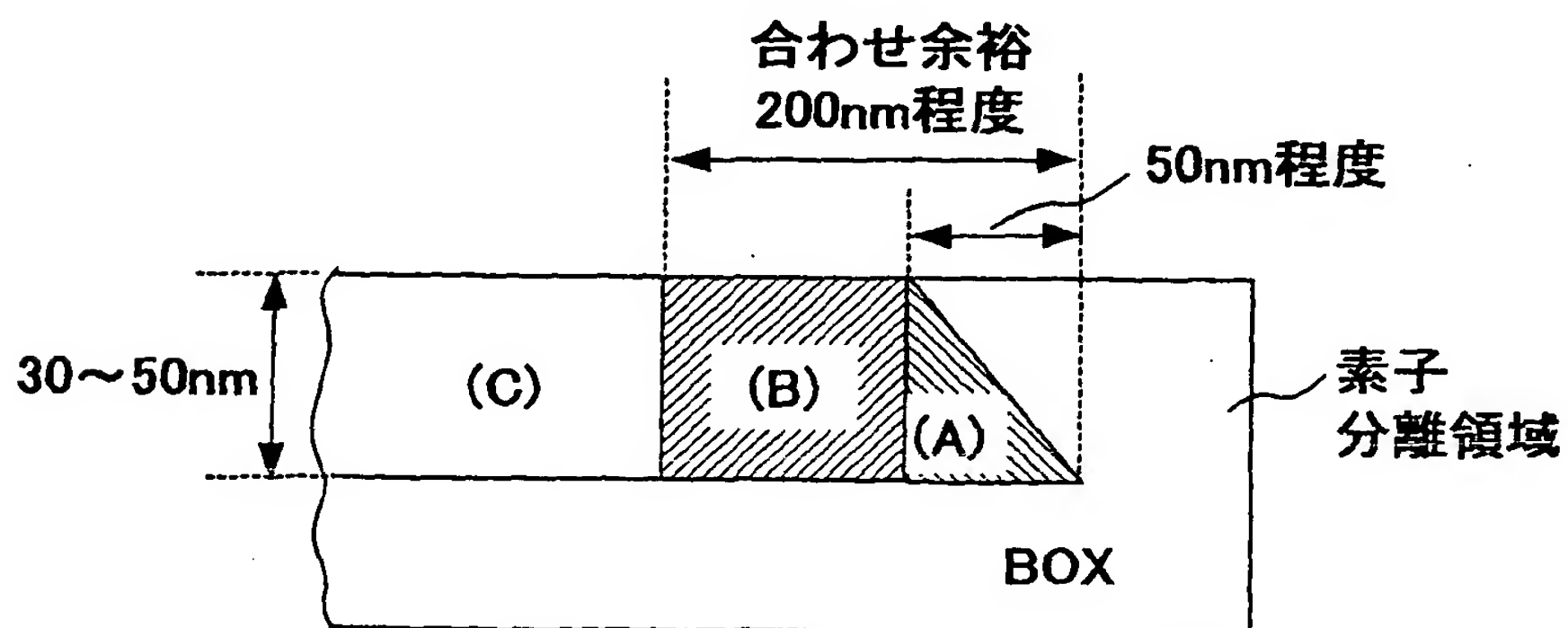
【図 1 7】



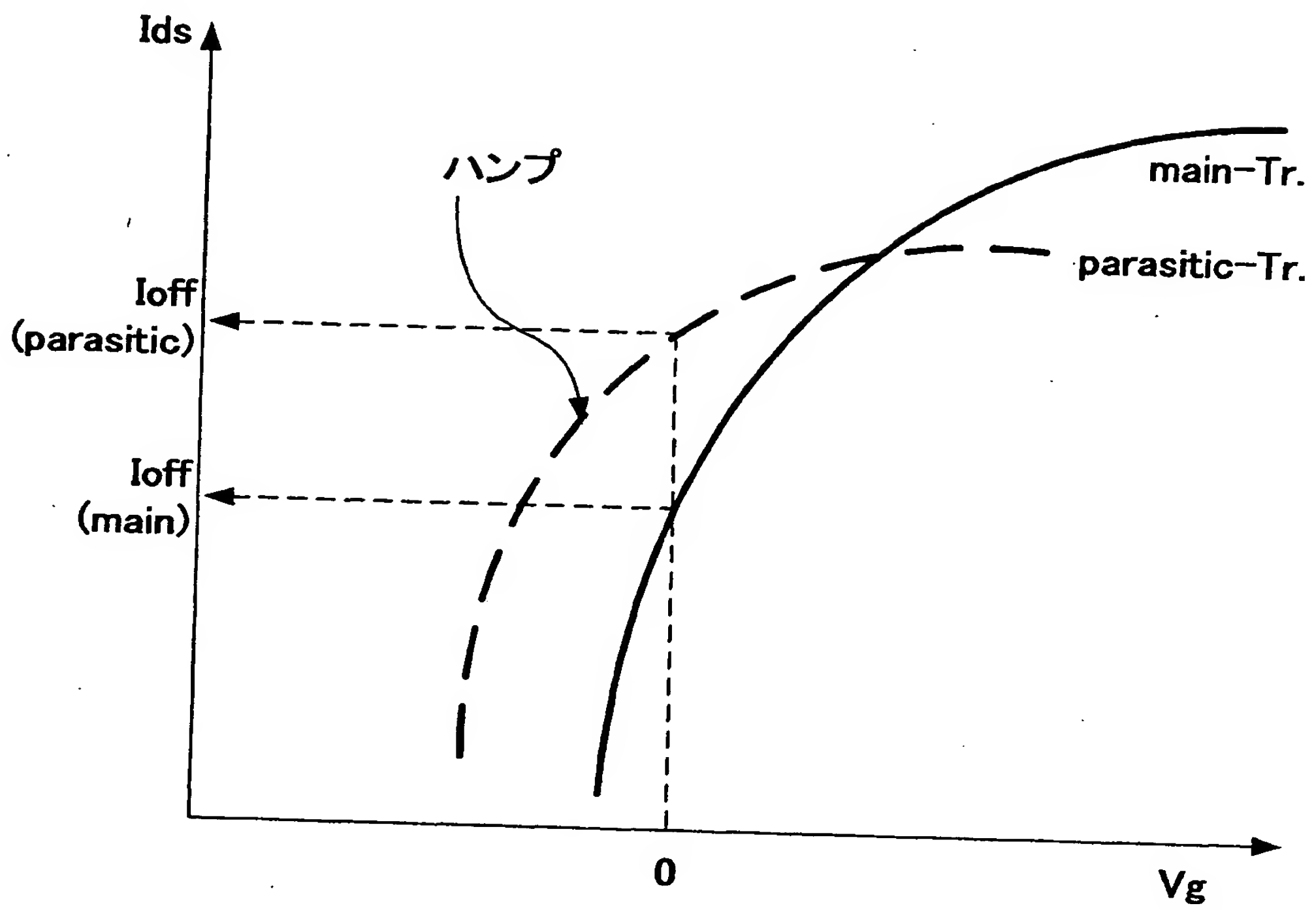
【図 1 8】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 ゲート長が小さく、寄生トランジスタの影響が無くてハンプが発生しにくく、隣接したnMOSとpMOSとの間隔を小さくできる電界効果トランジスタの製造方法を提供する。

【解決手段】 絶縁層上にシリコン層が形成されたSOI基板上に、素子分離のためのフィールド酸化膜を形成し、アクティブ窒化膜をシリコン層のエッジ部が露出する膜厚までウェットエッチングし、アクティブ窒化膜をマスクとしてシリコン層のエッジ部にのみチャンネルストップの不純物をセルフアラインで、垂直または角度をつけてイオン注入することを特徴とする。ゲート長が小さく、寄生トランジスタの影響が無くてハンプが発生しにくく、隣接したnMOSとpMOSとの間隔を小さくできる電界効果トランジスタを得ることができる。

【選択図】 図1

特2001-273731

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社